

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-78437

(P2001-78437A)

(43) 公開日 平成13年3月23日 (2001.3.23)

(51) Int.Cl.⁷

識別記号

F I

テ-マ-ト* (参考)

H 0 2 M 3/07

H 0 2 M 3/07

G 1 1 C 11/407

H 0 3 K 5/02

C

16/06

G 1 1 C 11/34

3 5 4 F

H 0 1 L 27/04

17/00

6 3 2 A

21/822

H 0 1 L 27/04

G

審査請求 未請求 請求項の数12 O L (全 23 頁) 最終頁に続く

(21) 出願番号 特願2000-78419 (P2000-78419)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(22) 出願日 平成12年3月21日 (2000.3.21)

(72) 発明者 秋田 浩伸

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(31) 優先権主張番号 特願平11-185854

(32) 優先日 平成11年6月30日 (1999.6.30)

(72) 発明者 和田 政春

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(33) 優先権主張国 日本 (J P)

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

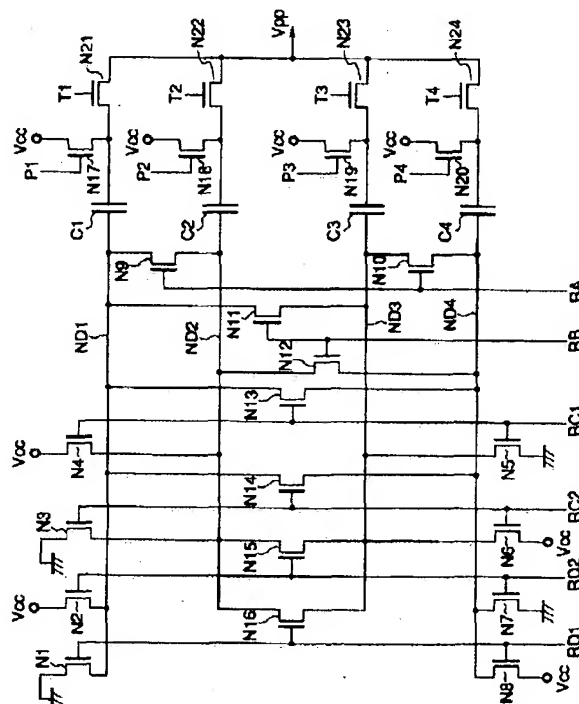
最終頁に続く

(54) 【発明の名称】 ポンプ回路

(57) 【要約】

【課題】電流効率、電力効率を向上して所要の昇圧電圧を生成することが困難であった。

【解決手段】キャパシタC1~C4の各一方のノードND1~ND4には、これらノードND1~ND4の電荷を他の複数のノードに転送するためのトランジスタN9~N16が接続されている。キャパシタC1~C4の各他方のノードには、キャパシタC1~C4の各他方のノードを充電するトランジスタN17~N20、及び各他方のノードの電荷を出力するトランジスタN21~N24が接続されている。



1

【特許請求の範囲】

【請求項1】 第1のノードと第2のノードのそれぞれを有する少なくとも3つのキャパシタと、

前記第1のノードを充電する第1のトランジスタと、

前記第2のノードを充電する第2のトランジスタと、

前記第2のノードの電荷を出力する第3のトランジスタと、

前記第1のノード間に接続され、かつ前記第1のトランジスタと制御信号を共有する第4のトランジスタとを具備することを特徴とするポンプ回路。

【請求項2】 前記第1のトランジスタと前記第4のトランジスタが共有する制御信号線をさらに具備することを特徴とする請求項1記載のポンプ回路。

【請求項3】 少なくとも3つのキャパシタと、

前記各キャパシタの第1のノードをそれぞれ充電する第1のトランジスタと、

前記各キャパシタの第2のノードをそれぞれ充電する第2のトランジスタと、

前記各キャパシタの第2のノードの電荷をそれぞれ出力端に出力する第3のトランジスタと、

前記各キャパシタのうちの1つのキャパシタの第1のノードと、このキャパシタと隣り合う1つのキャパシタの第1のノードとの間にそれぞれ接続され、電荷を転送するための複数の第4のトランジスタと、

前記各キャパシタのうちの1つのキャパシタの第1のノードと、このキャパシタと隣り合う1つのキャパシタを除く他の少なくとも1つのキャパシタの第1のノードとの間に接続され、電荷を転送するための少なくとも1つの第5のトランジスタと、

前記出力端から出力される昇圧電圧を検出する検出回路と、

前記検出回路により検出された電圧が基準電圧より低い場合、前記第4のトランジスタを選択的に導通制御し、前記隣り合う第1のノード間でシリアルに電荷を転送させ、前記検出回路により検出された電圧が前記基準電圧より高い場合、前記第1のトランジスタ、第4のトランジスタ、及び第5のトランジスタを選択的に導通制御し、前記第1のノードの電荷を隣り合う第1のノード及び他の第1のノードに平行に転送させる制御回路とを具備することを特徴とするポンプ回路。

【請求項4】 少なくとも3つのキャパシタと、

前記各キャパシタの第1のノードをそれぞれ充電する第1のトランジスタと、

前記各キャパシタの第2のノードをそれぞれ充電する第2のトランジスタと、

前記各キャパシタの第2のノードの電荷をそれぞれ出力端に出力する第3のトランジスタと、

前記各キャパシタのうちの1つのキャパシタの第1のノードと、このキャパシタと隣り合う1つのキャパシタの第1のノードとの間にそれぞれ接続され、電荷を転送す

2

るための複数の第4のトランジスタと、

前記各キャパシタのうちの1つのキャパシタの第1のノードと、このキャパシタと隣り合う1つのキャパシタを除く他の少なくとも1つのキャパシタの第1のノードとの間に接続され、電荷を転送するための少なくとも1つの第5のトランジスタと、

前記出力端から出力される昇圧電圧を検出する検出回路と、

前記検出回路により検出された電圧が第1の基準電圧より低い場合、前記第4のトランジスタを選択的に導通制御し、前記隣り合う第1のノード間でシリアルに電荷を転送させ、前記検出回路により検出された電圧が前記第1の基準電圧より高く、第2の基準電圧より低い場合、前記第4のトランジスタを選択的に導通制御し、前記キャパシタの数より少ない相数によりシリアルに第1のノードの電荷を転送させ、前記検出回路により検出された電圧が前記第2の基準電圧より高い場合、前記第1のトランジスタ、第4のトランジスタ、及び第5のトランジスタを選択的に導通制御し、前記第1のノードの電荷を隣り合う第1のノード及び他の第1のノードに平行に転送させる制御回路とを具備することを特徴とするポンプ回路。

【請求項5】 前記各第1のノードに接続され、第1のノードを充電する第5のトランジスタと、

前記各第1のノードに接続され、第1のノードを放電させる第6のトランジスタと、

前記第5、第6のトランジスタに接続され、電源投入時に前記第5、第6のトランジスタを交互に導通制御する制御回路とをさらに具備することを特徴とする請求項1記載のポンプ回路。

【請求項6】 少なくとも3つのキャパシタと、

前記各キャパシタの第1のノードをそれぞれ充電する第1のトランジスタと、

前記各キャパシタの第2のノードをそれぞれ接地する第2のトランジスタと、

前記各キャパシタの第2のノードと出力端の相互間にそれぞれ接続され前記出力端から電荷を引き抜く第3のトランジスタと、

前記各キャパシタのうちの1つの第1のノードと、この第1のノード以外の他の複数のキャパシタの第1のノードとの間に接続され、電荷を転送するための複数の第4のトランジスタと、

前記第1のトランジスタ及び複数の第4のトランジスタを選択的に導通制御し、前記第1のノードの電荷を他の第1のノードに平行に転送させる制御回路とを具備することを特徴とするポンプ回路。

【請求項7】 少なくとも4つのキャパシタと、

前記少なくとも2つのキャパシタの第1のノードをそれぞれ充電する第1のトランジスタと、

前記少なくとも2つのキャパシタの第1のノードをそれ

3

ぞれ放電させる第2のトランジスタと、
 前記各キャパシタの第2のノードをそれぞれ充電する第3のトランジスタと、
 前記各キャパシタの第2のノードの電荷をそれぞれ出力端に出力する第4のトランジスタと、
 前記各キャパシタのうちの1つの第1のノードと、この第1のノード以外の他の複数のキャパシタの第1のノードとの間に接続され、電荷を転送するための複数の第5のトランジスタと、
 前記第1、第2のトランジスタ及び複数の第4のトランジスタを選択的に導通制御し、1つの前記第1のノードの電荷を近接する他の第1のノードに平行に転送させ、1つの前記第1のノードの電荷を離れた他の第1のノードにシリアルに転送させる制御回路とを具備することを特徴とするポンプ回路。
 【請求項8】 少なくとも3つのエネルギー蓄積手段と、
 前記各エネルギー蓄積手段の第1のノードにエネルギーを供給する第1の供給手段と、
 前記各エネルギー蓄積手段の第2のノードにエネルギーを供給する第2の供給手段と、
 前記各エネルギー蓄積手段の第1のノードからエネルギーを除去する除去手段と、
 前記各エネルギー蓄積手段の第2のノードのエネルギーをそれぞれ出力端に供給する第3の供給手段と、
 前記各エネルギー蓄積手段のうちの1つの前記第1のノードと、この第1のノード以外の他の複数の前記各エネルギー蓄積手段の第1のノードとの間に設けられ、1つの前記第1のノードから、この第1のノード以外の他の複数の前記各エネルギー蓄積手段の第1のノードにエネルギーを供給する複数の第4の供給手段と、
 前記第1の供給手段及び複数の第4の供給手段を選択的に制御し、前記第1のノードのエネルギーを他の第1のノードに平行に転送させる制御手段とを具備することを特徴とするポンプ回路。
 【請求項9】 第1の電圧が供給される電源端子と出力端の相互間に複数のダイオードが直列接続された第1のダイオード群と、
 前記第1のダイオード群を構成する各ダイオードの接続ノードに一端が接続された複数のキャパシタからなる第1のキャパシタ群と、
 前記電源端子と出力端の相互間に複数のダイオードが直列接続された第2のダイオード群と、
 前記第2のダイオード群を構成する各ダイオードの接続ノードに一端が接続された複数のキャパシタからなる第2のキャパシタ群と、
 第1の電圧と前記第1の電圧より低い第2の電圧の間でフルスイングし、互いに位相が逆相の第1、第2の制御信号と、前記第1の制御信号と位相が90°ずれた第3の制御信号、及び前記第2の制御信号と位相が90°ず

4

れた第4の制御信号を発生し、前記第1のキャパシタ群を構成する複数のキャパシタのうち隣接するキャパシタの他端部に前記第1、第2の制御信号を交互に供給し、前記第2のキャパシタ群を構成する複数のキャパシタのうち隣接するキャパシタの他端部に前記第3、第4の制御信号を交互に供給する信号生成回路とを具備することを特徴とするポンプ回路。
 【請求項10】 第1の電圧が供給される電源端子と出力端の相互間に複数のダイオードが直列接続された第1のダイオード群と、
 前記第1のダイオード群を構成する各ダイオードの接続ノードに一端が接続された複数のキャパシタからなる第1のキャパシタ群と、
 前記第1の電源電圧と前記第1の電源電圧より低い第2の電源電圧の中間の第3の電圧とを有する第1の制御信号と、前記第2の電圧と前記第3の電圧を有し前記第1の制御信号と逆相の第2の制御信号を発生し、前記第1のキャパシタ群を構成する複数のキャパシタのうち隣接するキャパシタの他端部に前記第1、第2の制御信号を交互に供給する第1の信号生成回路とを具備することを特徴とするポンプ回路。
 【請求項11】 第1の電圧が供給される電源端子と出力端の相互間に複数のダイオードが直列接続された第1のダイオード群と、
 前記第1のダイオード群を構成する各ダイオードの接続ノードに一端が接続された複数のキャパシタからなる第1のキャパシタ群と、
 前記電源端子と出力端の相互間に複数のダイオードが直列接続された第2のダイオード群と、
 前記第2のダイオード群を構成する各ダイオードの接続ノードに一端が接続された複数のキャパシタからなる第2のキャパシタ群と、
 前記第1の電源電圧と前記第1の電源電圧より低い第2の電源電圧の中間の第3の電圧とを有する第1の制御信号と、前記第2の電圧と前記第3の電圧を有し前記第1の制御信号と逆相の第2の制御信号とを発生し、前記第1のキャパシタ群を構成する複数のキャパシタのうち隣接するキャパシタの他端部に前記第1、第2の制御信号を交互に供給し、前記第2のキャパシタ群を構成する複数のキャパシタのうち隣接するキャパシタの他端部に前記第2、第1の制御信号を交互に供給する信号生成回路とを具備することを特徴とするポンプ回路。
 【請求項12】 第1の電圧が供給される電源端子と出力端の相互間に複数のダイオードが直列接続された第1のダイオード群と、
 前記第1のダイオード群を構成する各ダイオードの接続ノードに一端が接続された複数のキャパシタからなる第1のキャパシタ群と、
 前記電源端子と出力端の相互間に複数のダイオードが直列接続された第2のダイオード群と、

5

前記第2のダイオード群を構成する各ダイオードの接続ノードに一端が接続された複数のキャパシタからなる第2のキャパシタ群と、

前記第1の電源電圧と前記第1の電源電圧より低い第2の電源電圧の中間の第3の電圧とを有する第1の制御信号と、前記第2の電圧と前記第3の電圧を有し前記第1の制御信号と逆相の第2の制御信号と、前記第1の制御信号と位相が逆相の第3の制御信号と、前記第2の制御信号と位相が逆相の第4の制御信号を発生し、前記第1のキャパシタ群を構成する複数のキャパシタのうち隣接するキャパシタの他端部に前記第1、第3の制御信号を交互に供給し、前記第2のキャパシタ群を構成する複数のキャパシタのうち隣接するキャパシタの他端部に前記第2、第4の制御信号を交互に供給する信号生成回路とを具備することを特徴とするポンプ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えばダイナミックRAMやフラッシュEEPROMのような半導体集積回路に適用され、半導体集積回路内で電源電圧より高い電圧を発生するポンプ回路に関する。

【0002】

【従来の技術】近時、半導体集積回路は低消費電力化が要求され、この要求に応じて電源電圧も低電圧化されている。しかし、半導体集積回路内には電源電圧より高い電圧が必要な回路がある。このため、半導体集積回路内には電源電圧を所定の電圧に昇圧する所謂チャージポンプ回路が設けられ、このポンプ回路により昇圧された電圧が、高電圧の必要な回路に供給される。

【0003】図29は、従来のチャージポンプ回路の一例を示している。このチャージポンプ回路は、入力信号Sinが供給されるインバータ回路IVと、このインバータ回路IVの出力端に一端が接続されたカップリングキャパシタとしてのキャパシタCと、このキャパシタCの他端に接続されたNチャネルトランジスタTN1、TN2とにより構成されている。前記インバータ回路IVは、PチャネルトランジスタTP1とNチャネルトランジスタTN3とにより構成されている。この回路はノードND1の電圧をキャパシタCを介してノードND2に伝達し、ノードND2を昇圧する。

【0004】図30は、図29の動作を示す波形図である。時刻t1においてトランジスタTN1が活性化され、ノードND2がトランジスタTN1を介して電源電圧Vccにプリチャージされる。その後、時刻t2において、入力電圧Sinがローレベルとされる。これに伴いインバータ回路IVを介してノードND1が電源電圧Vccとされる。すると、キャパシタCを介してノードND2の電位が2Vccに昇圧される。次に、時刻t3において、トランジスタTN2が活性化され、ノードND2の電位がトランジスタTN2を介して昇圧電圧Vppとして

6

出力される。この後、時刻t4において、入力電圧Sinがハイレベルとされ、インバータ回路IVが反転される。

【0005】図29に示すチャージポンプ回路によれば、所要の昇圧電圧Vppを生成することができる。しかし、この回路は、電流効率が低く、消費電流が多くなるという問題を有している。

【0006】図29に示すチャージポンプ回路の電流効率を改善する方法として、例えば“An Efficient Charge Recycle and Transfer Pump Circuit for Low Operation Voltage DRAMs, Takeshi Hamamoto et al., 1996 Symposium on VLSI Circuit Digest of Technical Papers”に記載されたポンプ回路がある。この回路は、図29に示すような、チャージポンプ回路を例えば複数個用いて構成され、これらチャージポンプ回路のキャパシタの電荷をリサイクルすることにより電流効率の向上を図っている。

【0007】図31は、上記文献に記載されたポンプ回路に類似する2つのポンプ回路を用いて構成した従来の2相チャージリサイクルポンプ回路を示している（この2相チャージリサイクルポンプ回路は、電位の高いノードから低いノードへ1つの経路により転送されるため、これを2相シリアルチャージリサイクルポンプ回路と呼ぶ）。図31において、図29と同一部分には同一符号に添え字1、2を付している。この回路は、キャパシタC11とC12のチャージカップリングノードND11、ND12の相互間にトランジスタTN4が接続され、このトランジスタTN4を介してこれらノードND11、ND12の電荷がリサイクルされるようになって

いる。

【0008】図32は図31に示す回路の動作を示す波形図を示している。図32に示すように、図31に示す回路は、プリチャージ信号PREに応じてPチャネルトランジスタTP1がオンとされ、ノードND11が電源電圧Vccにプリチャージされる。イコライズ信号EQが活性化され、NチャネルトランジスタTN4がオンすることにより、ノードND11とノードND12の電位が等しくされる。すなわち、ノードND11の電荷の半分がノードND12に転送される。

【0009】このように、図31に示す回路は、イコライズ信号EQに応じて動作されるNチャネルトランジスタTN4により、ノードND11、ND12の電荷がリサイクルされるため、電流効率は向上する。しかし、2相チャージリサイクルポンプ回路の場合、ノードND11、ND12の電圧の変動は0.5Vccに減少し、出力できる昇圧電圧Vppの最大電圧が従来の2Vccから1.5Vccに低下してしまう。

【0010】また、図33は図31に示す回路にさらにキャパシタとトランジスタを増加した従来の4相チャージリサイクルポンプ回路（4相シリアルチャージリサイ

7

クルポンプ回路)を示し、図34は図33に示す回路の動作を示す波形図を示している。4相チャージリサイクルポンプ回路の場合、イコライズ信号EQ、プリチャージ信号PREに応じて、ノードND11の電荷が順次他のノードに転送されて行く。したがって、2相チャージリサイクルポンプ回路に比べてリサイクル回数が多いため、電流の利用効率が向上し、省電力化を図ることができる。しかし、このポンプ回路は昇圧電圧 V_{pp} の最大電圧が従来の $2V_{cc}$ から $1.25V_{cc}$ に低下してしまう。

【0011】さらに、ポンプ回路の段数を増加し、 n 相とした場合、最大電圧 V_{pp} が電源電圧 V_{cc} の近傍において、最大電流効率は $1/[1+(1/n)]$ 程度まで増加するが、最大の昇圧電圧が $1/[1+(1/n)] \cdot V_{cc}$ に低下する。このため、高い電圧を出力することができず、高い電圧領域では従来のポンプ回路より効率が低下してしまうという問題を有していた。

【0012】さらに、図35は、図31に示す回路を改良したポンプ回路であり、2つのキャパシタのチャージカップリングノードに充電された電荷を相互にリサイクルする従来の2相チャージリサイクルポンプ回路を示している(この2相チャージリサイクルポンプ回路は、電位の高い任意のノードから低いノードへ双方向に電荷が転送されるため、これを2相パラレルチャージリサイクルポンプ回路と呼ぶ)。図36は図35の動作を示す波形図である。

【0013】このポンプ回路において、ノードND12、ND11はプリチャージ信号PRE1、PRE2に応じて交互に電源電圧 V_{cc} にプリチャージされる。この後、ノードND11、ND12はイコライズ信号EQに応じてオンとされるNチャネルトランジスタTN4によりイコライズされる。このイコライズ動作に応じて、これらノードND11、ND12の電荷がリサイクルされる。すなわち、電源電圧 V_{cc} にプリチャージされたノードND11、ND12をイコライズすることにより、電位の高いノードから低いノードへ電荷が転送され、各ノードND11、ND12に残った電荷がリサイクルされる。この後、電位が上昇されるノードには電源から電流が供給され、電位が下降されるノードは接地される。このような動作が繰り返され、高い電圧が生成される。

【0014】

【発明が解決しようとする課題】しかし、上記従来の各チャージリサイクルポンプ回路は、いずれも電荷が十分にリサイクルされていない。例えば図35に示す回路の場合、ノードND11、ND12の電荷は1回しかリサイクルされていない。すなわち、1回のリサイクルにおいて転送される電荷は各ノードに残った電荷の $1/2$ であり、残り $1/2$ の電荷は利用されないままだった。このため、高い出力電圧を得るために大きな電流を必要とし、十分な電流効率を得ることが困難であった。

【0015】本発明は、上記課題を解決するためになさ

8

れたものであり、その目的とするところは、キャパシタのチャージカップリングノードに充電された電荷の有効利用を図り、電流効率を向上して所望の高電圧を得ることが可能なポンプ回路を提供しようとするものである。

【0016】

【課題を解決するための手段】本発明は、上記課題を解決するため、第1のノードと第2のノードのそれぞれを有する少なくとも3つのキャパシタと、前記第1のノードを充電する第1のトランジスタと、前記第2のノードを充電する第2のトランジスタと、前記第2のノードの電荷を出力する第3のトランジスタと、前記第1のノード間に接続され、かつ前記第1のトランジスタと制御信号を共有する第4のトランジスタとを具備している。

【0017】前記第1のトランジスタと前記第4のトランジスタが共有する制御信号線をさらに具備している。

【0018】また、本発明は、少なくとも3つのキャパシタと、前記各キャパシタの第1のノードをそれぞれ充電する第1のトランジスタと、前記各キャパシタの第2のノードをそれぞれ充電する第2のトランジスタと、前記各キャパシタの第2のノードの電荷をそれぞれ出力端に出力する第3のトランジスタと、前記各キャパシタのうちの1つのキャパシタの第1のノードと、このキャパシタと隣り合う1つのキャパシタの第1のノードとの間にそれぞれ接続され、電荷を転送するための複数の第4のトランジスタと、前記各キャパシタのうちの1つのキャパシタの第1のノードと、このキャパシタと隣り合う1つのキャパシタを除く他の少なくとも1つのキャパシタの第1のノードとの間に接続され、電荷を転送するための少なくとも1つの第5のトランジスタと、前記出力端から出力される昇圧電圧を検出する検出回路と、前記検出回路により検出された電圧が基準電圧より低い場合、前記第4のトランジスタを選択的に導通制御し、前記隣り合う第1のノード間でシリアルに電荷を転送させ、前記検出回路により検出された電圧が前記基準電圧より高い場合、前記第1のトランジスタ、第4のトランジスタ、及び第5のトランジスタを選択的に導通制御し、前記第1のノードの電荷を隣り合う第1のノード及び他の第1のノードにパラレルに転送させる制御回路とを具備している。

【0019】さらに、本発明は、少なくとも3つのキャパシタと、前記各キャパシタの第1のノードをそれぞれ充電する第1のトランジスタと、前記各キャパシタの第2のノードをそれぞれ充電する第2のトランジスタと、前記各キャパシタの第2のノードの電荷をそれぞれ出力端に出力する第3のトランジスタと、前記各キャパシタのうちの1つのキャパシタの第1のノードと、このキャパシタと隣り合う1つのキャパシタの第1のノードとの間にそれぞれ接続され、電荷を転送するための複数の第4のトランジスタと、前記各キャパシタのうちの1つのキャパシタの第1のノードと、このキャパシタと隣り合

9

う1つのキャパシタを除く他の少なくとも1つのキャパシタの第1のノードとの間に接続され、電荷を転送するための少なくとも1つの第5のトランジスタと、前記出力端から出力される昇圧電圧を検出する検出回路と、前記検出回路により検出された電圧が第1の基準電圧より低い場合、前記第4のトランジスタを選択的に導通制御し、前記隣り合う第1のノード間でシリアルに電荷を転送させ、前記検出回路により検出された電圧が前記第1の基準電圧より高く、第2の基準電圧より低い場合、前記第4のトランジスタを選択的に導通制御し、前記キャパシタの数より少ない相数によりシリアルに第1のノードの電荷を転送させ、前記検出回路により検出された電圧が前記第2の基準電圧より高い場合、前記第1のトランジスタ、第4のトランジスタ、及び第5のトランジスタを選択的に導通制御し、前記第1のノードの電荷を隣り合う第1のノード及び他の第1のノードに平行に転送させる制御回路とを具備している。

【0020】前記各第1のノードに接続され、第1のノードを充電する第5のトランジスタと、前記各第1のノードに接続され、第1のノードを放電させる第6のトランジスタと、前記第5、第6のトランジスタに接続され、電源投入時に前記第5、第6のトランジスタを交互に導通制御する制御回路とをさらに具備している。

【0021】また、本発明は、少なくとも3つのキャパシタと、前記各キャパシタの第1のノードをそれぞれ充電する第1のトランジスタと、前記各キャパシタの第2のノードをそれぞれ接地する第2のトランジスタと、前記各キャパシタの第2のノードと出力端の相互間にそれぞれ接続され前記出力端から電荷を引き抜く第3のトランジスタと、前記各キャパシタのうちの1つの第1のノードと、この第1のノード以外の他の複数のキャパシタの第1のノードとの間に接続され、電荷を転送するための複数の第4のトランジスタと、前記第1のトランジスタ及び複数の第4のトランジスタを選択的に導通制御し、前記第1のノードの電荷を他の第1のノードに平行に転送させる制御回路とを具備している。

【0022】さらに、本発明は、少なくとも4つのキャパシタと、前記少なくとも2つのキャパシタの第1のノードをそれぞれ充電する第1のトランジスタと、前記少なくとも2つのキャパシタの第1のノードをそれぞれ放電させる第2のトランジスタと、前記各キャパシタの第2のノードをそれぞれ充電する第3のトランジスタと、前記各キャパシタの第2のノードの電荷をそれぞれ出力端に出力する第4のトランジスタと、前記各キャパシタのうちの1つの第1のノードと、この第1のノード以外の他の複数のキャパシタの第1のノードとの間に接続され、電荷を転送するための複数の第5のトランジスタと、前記第1、第2のトランジスタ及び複数の第4のトランジスタを選択的に導通制御し、1つの前記第1のノードの電荷を近接する他の第1のノードに平行に転

10

送させ、1つの前記第1のノードの電荷を離れた他の第1のノードにシリアルに転送させる制御回路とを具備している。

【0023】さらに、本発明は、少なくとも3つのエネルギー蓄積手段と、前記各エネルギー蓄積手段の第1のノードにエネルギーを供給する第1の供給手段と、前記各エネルギー蓄積手段の第1のノードにエネルギーを供給する第2の供給手段と、前記各エネルギー蓄積手段の第2のノードからエネルギーを除去する除去手段と、前記各エネルギー蓄積手段の第2のノードのエネルギーをそれぞれ出力端に供給する第3の供給手段と、1つの前記第1のノードと、この第1のノード以外の他の複数の前記各エネルギー蓄積手段の第1のノードとの間に設けられ、1つの前記第1のノードから、この第1のノード以外の他の複数の前記各エネルギー蓄積手段の第1のノードにエネルギーを供給する複数の第4の供給手段と、前記第1の供給手段及び複数の第4の供給手段を選択的に制御し、前記第1のノードのエネルギーを他の第1のノードに平行に転送させる制御手段とを具備している。

【0024】また、本発明のポンプ回路は、第1の電圧が供給される電源端子と出力端の相互間に複数のダイオードが直列接続された第1のダイオード群と、前記第1のダイオード群を構成する各ダイオードの接続ノードに一端が接続された複数のキャパシタからなる第1のキャパシタ群と、前記電源端子と出力端の相互間に複数のダイオードが直列接続された第2のダイオード群と、前記第2のダイオード群を構成する各ダイオードの接続ノードに一端が接続された複数のキャパシタからなる第2のキャパシタ群と、第1の電圧と前記第1の電圧より低い第2の電圧の間でフルスイングし、互いに位相が逆相の第1、第2の制御信号と、前記第1の制御信号と位相が90°ずれた第3の制御信号、及び前記第2の制御信号と位相が90°ずれた第4の制御信号を発生し、前記第1のキャパシタ群を構成する複数のキャパシタのうち隣接するキャパシタの他端部に前記第1、第2の制御信号を交互に供給し、前記第2のキャパシタ群を構成する複数のキャパシタのうち隣接するキャパシタの他端部に前記第3、第4の制御信号を交互に供給する信号生成回路とを具備している。

【0025】さらに、本発明のポンプ回路は、第1の電圧が供給される電源端子と出力端の相互間に複数のダイオードが直列接続された第1のダイオード群と、前記第1のダイオード群を構成する各ダイオードの接続ノードに一端が接続された複数のキャパシタからなる第1のキャパシタ群と、前記第1の電源電圧と前記第1の電源電圧より低い第2の電源電圧の中間の第3の電圧とを有する第1の制御信号と、前記第2の電圧と前記第3の電圧を有し前記第1の制御信号と逆相の第2の制御信号を発生し、前記第1のキャパシタ群を構成する複数のキャパ

11

シタのうち隣接するキャパシタの他端部に前記第1、第2の制御信号を交互に供給する第1の信号生成回路とを具備している。

【0026】また、本発明のポンプ回路は、第1の電圧が供給される電源端子と出力端の相互間に複数のダイオードが直列接続された第1のダイオード群と、前記第1のダイオード群を構成する各ダイオードの接続ノードに一端が接続された複数のキャパシタからなる第1のキャパシタ群と、前記電源端子と出力端の相互間に複数のダイオードが直列接続された第2のダイオード群と、前記第2のダイオード群を構成する各ダイオードの接続ノードに一端が接続された複数のキャパシタからなる第2のキャパシタ群と、前記第1の電源電圧と前記第1の電源電圧より低い第2の電源電圧の中間の第3の電圧とを有する第1の制御信号と、前記第2の電圧と前記第3の電圧を有し前記第1の制御信号と逆相の第2の制御信号とを発生し、前記第1のキャパシタ群を構成する複数のキャパシタのうち隣接するキャパシタの他端部に前記第1、第2の制御信号を交互に供給し、前記第2のキャパシタ群を構成する複数のキャパシタのうち隣接するキャパシタの他端部に前記第2、第1の制御信号を交互に供給する信号生成回路とを具備している。

【0027】さらに、本発明のポンプ回路は、第1の電圧が供給される電源端子と出力端の相互間に複数のダイオードが直列接続された第1のダイオード群と、前記第1のダイオード群を構成する各ダイオードの接続ノードに一端が接続された複数のキャパシタからなる第1のキャパシタ群と、前記電源端子と出力端の相互間に複数のダイオードが直列接続された第2のダイオード群と、前記第2のダイオード群を構成する各ダイオードの接続ノードに一端が接続された複数のキャパシタからなる第2のキャパシタ群と、前記第1の電源電圧と前記第1の電源電圧より低い第2の電源電圧の中間の第3の電圧とを有する第1の制御信号と、前記第2の電圧と前記第3の電圧を有し前記第1の制御信号と逆相の第2の制御信号と、前記第1の制御信号と位相が逆相の第3の制御信号と、前記第2の制御信号と位相が逆相の第4の制御信号とを発生し、前記第1のキャパシタ群を構成する複数のキャパシタのうち隣接するキャパシタの他端部に前記第1、第3の制御信号を交互に供給し、前記第2のキャパシタ群を構成する複数のキャパシタのうち隣接するキャパシタの他端部に前記第2、第4の制御信号を交互に供給する信号生成回路とを具備している。

【0028】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。

【0029】(第1の実施例)図1は、本発明の第1の実施例を示すものであり、4相パラレルチャージリサイクルポンプ回路の一例を示している。図2は、図1の動作を示す波形図である。図1に示す回路は、4つのチャ

12

ージポンプ回路におけるチャージカップリングノード(以下、単にノードと称す)に充電された電荷を、4つのノードの相互間で順次リサイクルすることにより、電流効率を向上してより高い電圧まで昇圧可能としている。

【0030】図1において、ノードND1と接地間にはノードND1の電荷を放電するためのNチャネルトランジスタN1が接続され、ノードND1と電源電圧Vccが供給される端子との間にはノードND1を充電するためのNチャネルトランジスタN2が接続されている。ノードND2と接地間にはノードND2の電荷を放電するためのNチャネルトランジスタN3が接続され、ノードND2と電源電圧Vccが供給される端子との間にはノードND2を充電するためのNチャネルトランジスタN4が接続されている。ノードND3と接地間にはノードND3の電荷を放電するためのNチャネルトランジスタN5が接続され、ノードND3と電源電圧Vccが供給される端子との間にはノードND3を充電するためのNチャネルトランジスタN6が接続されている。ノードND4と接地間にはノードND4の電荷を放電するためのNチャネルトランジスタN7が接続され、ノードND4と電源電圧Vccが供給される端子との間にはノードND4を充電するためのNチャネルトランジスタN8が接続されている。

【0031】前記ノードND1とND2の相互間には、これらノードND1とND2間で電荷を転送するためのNチャネルトランジスタN9が接続されている。前記ノードND3とND4の相互間には、これらノードND3とND4間で電荷を転送するためのNチャネルトランジスタN10が接続されている。前記ノードND1とND3の相互間には、これらノードND1とND3間で電荷を転送するためのNチャネルトランジスタN11が接続されている。前記ノードND2とND4の相互間には、これらノードND2とND4間で電荷を転送するためのNチャネルトランジスタN12が接続されている。

【0032】前記ノードND1とND4の相互間には、これらノードND1とND4間で電荷を転送するためのNチャネルトランジスタN13、N14が接続されている。前記ノードND2とND3の相互間には、これらノードND2とND3間で電荷を転送するためのNチャネルトランジスタN15、N16が接続されている。

【0033】前記トランジスタN9、N10のゲートには信号RAが供給され、前記トランジスタN11、N12のゲートには信号RBが供給されている。前記トランジスタN4、N5、N13のゲートには信号RC1が供給され、前記トランジスタN3、N6、N14のゲートには信号RC2が供給されている。前記トランジスタN2、N7、N15のゲートには信号RD2が供給され、前記トランジスタN1、N8、N16のゲートには信号RC1が供給されている。

13

【0034】上記ノードND1に注目すると、ノードND1の電荷はトランジスタN9、トランジスタN11、トランジスタN13を介してノードND2、ND3、ND4に平行に転送可能とされている。他のノードND2、ND3、ND4についても同様である。

【0035】また、前記各ノードND1、ND2、ND3、ND4にはキャパシタC1、C2、C3、C4の一端が接続されている。これらキャパシタC1、C2、C3、C4の他端と電源電圧Vccが供給される端子の各相互間には、NチャネルトランジスタN17、N18、N19、N20が接続されている。これらトランジスタN17、N18、N19、N20のゲートにはそれぞれ信号P1、P2、P3、P4が供給されている。

【0036】さらに、前記キャパシタC1、C2、C3、C4の他端と昇圧電圧Vppが出力される出力端の各相互間には、NチャネルトランジスタN21、N22、N23、N24が接続されている。これらトランジスタN21、N22、N23、N24のゲートにはそれぞれ信号T1、T2、T3、T4が供給されている。

【0037】上記構成において、図2に示すように、ノードND1が電源電圧Vcc、ノードND2、ND3が $1/2 Vcc$ 、ノードND4が接地電位Vssである場合において、信号RA、RC1、RB、RD1、RA、RC2、RB、RD2の順にハイレベルとなると、各ノードND1～ND4の電荷が他のノードに順次転送される。

【0038】例えばノードND1に注目すると、信号RAがハイレベルとなると、トランジスタN9、N10がオンとなり、ノードND1、ND2が短絡される。このため、ノードND1の電荷がノードND2に $1/4 Vcc$ だけ転送される。次に、信号RC1がハイレベルとなると、トランジスタN13がオンとなり、ノードND1とND4とが短絡され、ノードND1の電荷がノードND4に $1/4 Vcc$ だけ転送される。次に、信号RBがハイレベルとなると、トランジスタN11がオンとなり、ノードND1の電荷がノードND3に $1/4 Vcc$ だけ転送される。さらに、信号RD1がハイレベルとなると、トランジスタN1がオンとなり、ノードND1は接地される。

【0039】この後、信号RAがハイレベルとなると、トランジスタN9がオンとなり、ノードND1はノードND2と短絡され、ノードND2の電荷がノードND1に $1/4 Vcc$ だけ転送される。次に、信号RC2がハイレベルとされると、トランジスタN14がオンとなり、ノードND1はノードND4と短絡され、ノードND4の電荷がノードND1に $1/4 Vcc$ だけ転送される。さらに、信号RBがハイレベルとされると、トランジスタN11がオンとなり、ノードND1はノードND3と短絡され、ノードND3の電荷がノードND1に $1/4 Vcc$ だけ転送される。最後に、信号RD2がハイレベルとされると、トランジスタN2がオンとなり、ノードND

14

1には電源から $1/4 Vcc$ だけ電荷が供給される。このようにして、ノードND1の電位は電源電圧Vccから接地電圧Vss間をフルスイングする。同様の動作により、各ノードND2、ND3、ND4の電位も電源電圧Vccから接地電圧Vss間をフルスイングする。

【0040】前記信号P1～P4は、各ノードND1～ND4が少なくとも接地電圧Vssのときそれぞれハイレベルとされる。このため、トランジスタN17、N18、N19、N20を介して各キャパシタC1、C2、C3、C4の他端が電源電圧Vccに充電される。また、前記信号T1～T4は、各ノードND1～ND4が少なくとも電源電圧Vccのときそれぞれハイレベルとされる。このため、各キャパシタC1、C2、C3、C4の他端にカップリングにより上昇された電圧がトランジスタN21、N22、N23、N24を介して出力される。したがって、出力端から出力される昇圧電圧Vppは最大で $2 Vcc$ となる。

【0041】上記第1の実施例によれば、各ノードND1～ND4に電源電圧Vccを選択的に供給する複数のトランジスタN2、N4、N6、N8、各ノードND1～ND4を選択的に接地する複数のトランジスタN1、N3、N5、N7、及び各ノードND1～ND4間を選択的に接続する複数のトランジスタN9～N16を設け、これらトランジスタを順次オンとして、各ノードND1～ND4の電荷を $1/4 Vcc$ ずつ他のノードに転送することによりリサイクルしている。すなわち、第1の実施例の場合、各ノードND1～ND4の電位は電源電圧Vccから接地電圧Vss間をフルスイングし、しかも、電源から各ノードに供給する電流は $1/4 Vcc$ の電位に相当する分だけで済み、各ノードに充電された電荷の $3/4$ を利用することができる。したがって、所要の昇圧電圧を得るための電荷の利用効率、及び電流効率を向上できる。

【0042】また、第1の実施例の場合、1つのノードが電源電圧Vccから接地電圧Vssとなり、再度電源電圧Vccに戻るために、8ステップの動作を必要としている。しかし、図2に示すように、信号RAがハイレベルとなる2回の動作は同様であり、信号RBがハイレベルとなる2回の動作も同様である。したがって、制御信号としては6種類だけとなるため、制御を簡略化できる。

【0043】さらに、通常、ノードを接地電圧Vssから電源電圧Vccまで充電する時や、電源電圧Vccから接地電圧Vssへ放電する時の特性はエクスポネンシャルの曲線であり、充電（放電）初期は急速に電位が変化するものの、途中から変動量が低下する。しかし、本実施例によれば、接地電圧Vssから電源電圧Vccへの充電や、電源電圧Vccから接地電圧Vssへの放電の際、電位範囲を $1/4$ づつに分割している。したがって、常に電位変化が大きい部分を使うことができるため、高速動作が可能である。つまり、本実施例の場合、上記のように1周

15

期に8ステップを必要とするが、各ステップの動作を高速度できるため、全体的な動作時間の増加を抑えることができる。

【0044】図3は、電源電圧を1.6Vとした場合における本発明の4相パラレルチャージリサイクルポンプ回路Aと、従来のノーマルポンプ回路B（図29に示す）、従来の2相パラレルチャージリサイクルポンプ回路C（図35に示す）、従来の2相シリアルチャージリサイクルポンプ回路D（図31に示す）、従来の4相シリアルチャージリサイクルポンプ回路E（図33に示す）の電流効率を示し、図4は、これらの電力効率を示している。

【0045】本発明の4相パラレルチャージリサイクルポンプ回路Aは、従来のノーマルポンプ回路Bや、2相パラレルチャージリサイクルポンプ回路Cと同様の昇圧電圧を得る場合、電流効率が向上していることが分かる。

【0046】また、本発明の4相パラレルチャージリサイクルポンプ回路Aは、従来の2相シリアルチャージリサイクルポンプ回路Dや、4相シリアルチャージリサイクルポンプ回路Eに比べて、電流効率が低いように見える。しかし、これは昇圧電圧が高いためである。そこで、図4に示す電力効率で本発明の4相パラレルチャージリサイクルポンプ回路Aと、従来の2相シリアルチャージリサイクルポンプ回路D、及び4相シリアルチャージリサイクルポンプ回路Eを比較した場合、本発明の4相パラレルチャージリサイクルポンプ回路Aが優れていることが分かる。

【0047】尚、第1の実施例では、4相パラレルチャージリサイクルポンプ回路について説明したが、この原理を用いることにより、3相又は4相以上の構成とすることも可能である。4相以上の構成とした場合、各ノードの電荷のリサイクル効率が一層向上し、利用されない電荷量を一層削減できる。このため、電流効率、及び電力効率を向上できる。

【0048】（第2の実施例）次に、本発明の第2の実施例について説明する。第2の実施例では1つのポンプ回路をパラレルチャージリサイクルポンプ回路とシリアルチャージリサイクルポンプ回路に切り換えて使用する場合について説明する。

【0049】図4に示すように、昇圧電圧 V_{pp} が低い領域では、シリアルチャージリサイクルポンプ回路のほうがパラレルチャージリサイクルポンプ回路より電力効率が高く、昇圧電圧 V_{pp} が高い領域では、パラレルチャージリサイクルポンプ回路のほうがシリアルチャージリサイクルポンプ回路より電力効率が高いことが分かる。よって、例えばポンプ回路の出力端から大きな電流が流れた直後のように、昇圧電圧 V_{pp} が低いときはシリアルチャージリサイクルポンプ回路を使用し、昇圧電圧 V_{pp} がある程度高くなった後、パラレルチャージリサイクルポ

16

ンプ回路を使用することにより、電力効率を向上できる。しかし、シリアルチャージリサイクルポンプ回路とパラレルチャージリサイクルポンプ回路の2つの回路を用いた場合、チップサイズが増大し、コストが高騰することとなる。

【0050】そこで、第2の実施例では、図1に示す4相パラレルチャージリサイクルポンプ回路を4相シリアルチャージリサイクルポンプ回路としても使用可能とする。すなわち、図1に示す4相パラレルチャージリサイクルポンプ回路は4相シリアルチャージリサイクルポンプ回路としての回路部品を全て含んでいるため、シリアルチャージリサイクルポンプ回路として動作させることが可能である。

【0051】図5は、図1に示す回路を4相シリアルチャージリサイクルポンプ回路として動作する場合の波形図を示している。この場合、図1に示す信号RB、RC1、RC2、RD1はローレベルに固定され、信号RA、RD2のみが図5に示すように変化する。すなわち、信号RA、RD2がハイレベルとなるに従って、隣接するノードND1とND2の相互間、ノードND3とND4の相互間、及びノードND2とND3の相互間で電荷が転送される。このため、図1に示す回路は図33に示す4相シリアルチャージリサイクルポンプ回路と同様に動作し、ノードND1の電位は電源電圧 V_{cc} と $3/4 V_{cc}$ の間で繰り返し変化する、ノードND2の電位は $1/2 V_{cc}$ と $3/4 V_{cc}$ の間で繰り返し変化する。また、ノードND3の電位は $1/2 V_{cc}$ と $1/4 V_{cc}$ の間で繰り返し変化する、ノードND4の電位は接地電位 V_{ss} と $1/4 V_{cc}$ の間で繰り返し変化する。

【0052】図6は、図1に示す回路を4相パラレルチャージリサイクルポンプ回路と4相シリアルチャージリサイクルポンプ回路に切り換える切り換え回路の構成を示している。図6において、ポンプ回路61は、図1に示す4相パラレルチャージリサイクルポンプ回路である。このポンプ回路61から出力される昇圧電圧 V_{pp} は電圧検出器62により検出される。この電圧検出器62は、例えば基準電圧を有しており、昇圧電圧 V_{pp} が基準電圧より低い場合、例えばローレベル信号を出力し、昇圧電圧 V_{pp} が基準電圧より高い場合、例えばハイレベル信号を出力する。この電圧検出器62の出力信号は制御信号発生器63に供給される。

【0053】制御信号発生器63は、電圧検出器62からローレベル信号が供給された場合、前記ポンプ回路61を4相シリアルチャージリサイクルポンプ回路として動作させる信号を発生する。すなわち、制御信号発生器63は、信号RB、RC1、RC2、RD1をローレベルに固定し、信号RA、RD2のみを図5に示すように変化させる。また、制御信号発生器63は、電圧検出器62からハイレベル信号が供給された場合、前記ポンプ回路61を4相パラレルチャージリサイクルポンプ回路

17

として動作させる信号を発生する。すなわち、制御信号発生器63は、図2に示す信号RA、RB、RC1、RC2、RD1、RD2を発生する。

【0054】上記第2の実施例によれば、4相パラレルチャージリサイクルポンプ回路の昇圧電圧 V_{pp} が低いとき、4相パラレルチャージリサイクルポンプ回路を4相シリアルチャージリサイクルポンプ回路に切り換えて動作させ、昇圧電圧 V_{pp} がある程度上昇した場合、4相パラレルチャージリサイクルポンプ回路として動作させている。したがって、1つの4相パラレルチャージリサイクルポンプ回路により、昇圧電圧が低い領域から高い領域において電力効率を向上できる。

【0055】しかも、1つの4相パラレルチャージリサイクルポンプ回路を、4相シリアルチャージリサイクルポンプ回路としても動作させているため、2つのポンプ回路を設ける場合に比べてチップ面積の増大を防止できる利点を有している。

【0056】（第3の実施例）次に、本発明の第3の実施例について説明する。この実施例では、図1に示す4相パラレルチャージリサイクルポンプ回路を、さらに、2相、4相のシリアルチャージリサイクルポンプ回路として動作させる場合について説明する。第2の実施例では、4相パラレルチャージリサイクルポンプ回路を、4相シリアルチャージリサイクルポンプ回路として動作させる場合について説明したが、4相パラレルチャージリサイクルポンプ回路を2相シリアルチャージリサイクルポンプ回路として動作させることも可能である。

【0057】図4に示すように、2相シリアルチャージリサイクルポンプ回路は4相シリアルチャージリサイクルポンプ回路より高い昇圧電圧を得ることができ、この昇圧電圧の範囲において、4相パラレルチャージリサイクルポンプ回路より電力効率が高い領域がある。このため、4相シリアルチャージリサイクルポンプ回路、2相シリアルチャージリサイクルポンプ回路、4相パラレルチャージリサイクルポンプ回路を昇圧電圧 V_{pp} に応じて切り換えることにより広い昇圧電圧の範囲で電流効率及び電力効率を向上できる。

【0058】図7は、図1に示す4相パラレルチャージリサイクルポンプ回路を2相シリアルチャージリサイクルポンプ回路として動作させる場合の波形図を示している。この場合、信号RA、RB、RC2、RD1をローレベルに固定し、信号RC1、RD2のみを図7に示すように変化させる。すなわち、信号RC1に応じてトランジスタN4、N5、N13がオンとされ、トランジスタN13を介してノードND1の電荷がノードND4に転送される。また、信号RD2に応じてトランジスタN2、N7、N15がオンとされ、トランジスタN15を介してノードND2の電荷がノードND3に転送される。このように、信号RC1、RD2に応じてノードND1とND4間、及びノードND2とND3間で、シリ

18

アルに電荷がリサイクルされる。

【0059】上記4相シリアルチャージリサイクルポンプ回路、2相シリアルチャージリサイクルポンプ回路、4相パラレルチャージリサイクルポンプ回路の切り換えは、図6に示す回路を变形することにより実施できる。すなわち、ポンプ回路61は、図1に示す4相パラレルチャージリサイクルポンプ回路である。このポンプ回路61から出力される昇圧電圧 V_{pp} は電圧検出器62により検出される。この電圧検出器62は、例えば第1の基準電圧と、第1の基準電圧より若干高い第2の基準電圧を有している。電圧検出器62は、昇圧電圧 V_{pp} が第1の基準電圧より低い場合、第1の信号を出力し、昇圧電圧 V_{pp} が第1の基準電圧より高く、第2の基準電圧より低い場合、第2の信号を出力する。さらに、昇圧電圧 V_{pp} が第2の基準電圧より高い場合、第3の信号を出力する。電圧検出器62から出力される前記第1乃至第3の信号は制御信号発生器63に供給される。

【0060】この制御信号発生器63は、電圧検出器62から第1の信号が供給された場合、前記ポンプ回路61を4相シリアルチャージリサイクルポンプ回路として動作させる信号を発生する。すなわち、制御信号発生器63は、信号RB、RC1、RC2、RD1をローレベルに固定し、信号RA、RD2のみを図5に示すように変化させる。

【0061】また、制御信号発生器63は、電圧検出器62から第2の信号が供給された場合、前記ポンプ回路61を2相シリアルチャージリサイクルポンプ回路として動作させる信号を発生する。すなわち、制御信号発生器63は、信号RA、RB、RC2、RD1をローレベルに固定し、信号RC1、RD2のみを図7に示すように変化させる。

【0062】さらに、制御信号発生器63は、電圧検出器62から第3の信号が供給された場合、前記ポンプ回路61を4相パラレルチャージリサイクルポンプ回路として動作させる信号を発生する。すなわち、制御信号発生器63は、図2に示す信号RA、RB、RC1、RC2、RD1、RD2を発生する。

【0063】上記第3の実施例によれば、4相パラレルチャージリサイクルポンプ回路を昇圧電圧 V_{pp} のレベルに応じて、4相シリアルチャージリサイクルポンプ回路、2相シリアルチャージリサイクルポンプ回路、4相パラレルチャージリサイクルポンプ回路に切り換えて動作させている。したがって、1つの4相パラレルチャージリサイクルポンプ回路を昇圧電圧に応じて細かく制御できるため、昇圧電圧が低い領域から高い領域において一層電流効率及び電力効率を向上できる。

【0064】（第4の実施例）次に、本発明の第4の実施例について説明する。上記第2、第3の実施例では昇圧電圧 V_{pp} のレベルに応じて4相パラレルチャージリサイクルポンプ回路の動作を制御することにより、電流効

率及び電力効率の向上を図った。これに対して、第4の実施例は、電力効率はそれ程高い必要はないが、速く昇圧したいという要求を満足させるものである。例えば電源投入時のように、昇圧電圧 V_{pp} は使用されていないが、昇圧電圧 V_{pp} の出力端を高速に充電したい場合がある。

【0065】図8は、第4の実施例の回路を示すものであり、図1と同一部分には同一符号を付し、異なる部分についてのみ説明する。この実施例では、図1に示す回路に新たにNチャネルトランジスタ $N31 \sim N38$ が付加されている。トランジスタ $N31$ 、 $N32$ 、 $N33$ 、 $N34$ は電源電圧 V_{cc} が供給される端子と前記ノード $ND1$ 、 $ND2$ 、 $ND3$ 、 $ND4$ の各相互間に接続されている。これらトランジスタ $N31$ 、 $N32$ 、 $N33$ 、 $N34$ のゲートには信号 ACT_p が供給されている。

【0066】また、前記トランジスタ $N35$ 、 $N36$ 、 $N37$ 、 $N38$ は前記ノード $ND1$ 、 $ND2$ 、 $ND3$ 、 $ND4$ と接地間にそれぞれ接続されている。これらトランジスタ $N35$ 、 $N36$ 、 $N37$ 、 $N38$ のゲートには信号 ACT_n が供給されている。

【0067】図9は、図8に示す回路の電源投入時の動作を示している。電源投入時において、信号 RA 、 RB 、 $RC1$ 、 $RC2$ 、 $RD1$ 、 $RD2$ は全てローレベルとされ、信号 ACT_n 、 ACT_p が図9に示すように制御される。すなわち、信号 ACT_n と信号 ACT_p が交互にハイレベルとされることにより、ノード $ND1 \sim ND4$ が同時に電源電圧 V_{cc} 又は接地電位 V_{ss} とされる。トランジスタ $N17 \sim N20$ のゲートに供給される信号 $P1 \sim P4$ は、ノード $ND1 \sim ND4$ がローレベルの場合ハイレベルとされ、トランジスタ $N21 \sim N24$ のゲートに供給される信号 $T1 \sim T4$ は、ノード $ND1 \sim ND4$ がハイレベルの場合ハイレベルとされる。

【0068】信号 $P1 \sim P4$ 及び信号 $T1 \sim T4$ は、図9に示すノード $ND1 \sim ND4$ のレベルの変化に応じて順次ハイレベルとされる。すなわち、各ノード $ND1 \sim ND4$ の電荷はリサイクルされず、図8に示す回路は、4つの単なるチャージポンプ回路として動作する（各チャージポンプ回路は、図10に示す従来のポンプ回路と同様に動作される）。このため、出力端は高速に昇圧され、昇圧電圧 V_{pp} が得られる。

【0069】この後、信号 ACT_n 、 ACT_p がローレベルに固定されるとともに、信号 RA 、 RB 、 $RC1$ 、 $RC2$ 、 $RD1$ 、 $RD2$ が適宜制御され、第1乃至第3の実施例に示すような動作が実行される。

【0070】上記第4の実施例によれば、4相パラレルチャージリサイクルポンプ回路を電源投入時に4つの単なるチャージポンプ回路として動作させている。したがって、簡単な構成及び制御により出力端を高速に昇圧することができる。しかも、昇圧後は、前述した第1乃至第3の実施例に示す動作を実行できる利点を有してい

る。

【0071】（第5の実施例）次に、本発明の第5の実施例について説明する。半導体集積回路内には、基板電圧 V_{bb} （例えば $-0.5V$ ）を発生する V_{bb} ポンプ回路を設ける場合がある。

【0072】図10は、 V_{bb} ポンプ回路の一例を示し、図11は図10の動作を示す波形図である。 V_{bb} ポンプ回路の基本的な構成は、図29に示すチャージポンプ回路とほぼ同様であり、トランジスタ $TN1$ に供給される電源が接地電圧 V_{ss} である点が相違する。また、図11に示すノード $ND1$ の電位に対する信号 $G1$ 、 $G2$ のタイミングが、図30と逆となっている。このような構成及び動作タイミングとすることにより、出力端から接地電位 V_{ss} のノードに電荷を引き抜くことができ、負電圧としての基板電圧 V_{bb} を生成できる。

【0073】図12は、4相パラレルチャージリサイクルポンプ回路により V_{bb} ポンプ回路を構成した例を示しており、図1と同一部分には同一符号を付し異なる部分についてのみ説明する。この回路において、ノード $ND1 \sim ND4$ の左側の回路構成は図1と変わらず、信号 RA 、 RB 、 $RC1$ 、 $RC2$ 、 $RD1$ 、 $RD2$ のタイミングも図2と同様である。

【0074】一方、トランジスタ $N17$ 、 $N18$ 、 $N19$ 、 $N20$ に接続された電源端子には、接地電位 V_{ss} が供給される。また、ノード $ND1 \sim ND4$ の電位に対するトランジスタ $N17$ 、 $N18$ 、 $N19$ 、 $N20$ のゲートに供給される信号 $P1$ 、 $P2$ 、 $P3$ 、 $P4$ 、及びトランジスタ $N21$ 、 $N22$ 、 $N23$ 、 $N24$ のゲートに供給される信号 $T1$ 、 $T2$ 、 $T3$ 、 $T4$ のタイミングは、例えば図1の場合と逆に設定される。すなわち、信号 $T1 \sim T4$ は、各ノード $ND1 \sim ND4$ が少なくとも電源電圧 V_{cc} のときそれぞれハイレベルとされる。また、信号 $P1 \sim P4$ は、各ノード $ND1 \sim ND4$ が少なくとも接地電圧 V_{ss} のときそれぞれハイレベルとされる。

【0075】このような構成及びタイミング設定とすることにより、出力端から電荷を引き抜くことができ、基板電圧 V_{bb} を生成できる。

【0076】（第6の実施例）次に、本発明の第6の実施例について説明する。第6の実施例は、前記第1、第2の実施例のように高い昇圧電圧が必要ない場合において、従来の4相シリアルチャージリサイクルポンプ回路にパラレルチャージリサイクルポンプ回路を組み合わせることにより、従来より高い効率を得るための方法を示している。

【0077】図13は、本発明の第6の実施例を示している。図13において、キャパシタ $C1 \sim C4$ より右側の構成は図1と同様であり、キャパシタ $C1 \sim C4$ より左側の構成が図1と相違している。したがって、図1と同一部分には同一符号を付し異なる部分についてのみ説明する。すなわち、ノード $ND1$ はPチャネルトランジ

21

スタP21を介して電源電圧Vccが供給される端子に接続される。このトランジスタP21のゲートにはインバータ回路IV10を介して信号RCが供給される。また、ノードND2はPチャネルトランジスタP22を介して電源電圧Vccが供給される端子に接続される。このトランジスタP22のゲートにはインバータ回路IV11を介して信号RBが供給される。

【0078】さらに、ノードND3はNチャネルトランジスタN41を介して接地される。このトランジスタN41のゲートには信号RCが供給される。また、ノードND4はNチャネルトランジスタN42を介して接地される。このトランジスタN42のゲートには信号RBが供給される。

【0079】前記ノードND1、ND2の相互間にはNチャネルトランジスタN43が接続され、前記ノードND3、ND4の相互間にはNチャネルトランジスタN44が接続される。これらトランジスタN43、N44のゲートには信号RAが供給されている。また、前記ノードND1、ND3の相互間にはNチャネルトランジスタN45が接続され、前記ノードND2、ND4の相互間にはNチャネルトランジスタN46が接続される。前記トランジスタN45のゲートには前記信号RBが供給され、前記トランジスタN46のゲートには前記信号RCが供給されている。

【0080】図14は、図13の動作を示す波形図である。図14に示すように、信号RA、RB、RCを順次活性化することにより、シリアルチャージリサイクルとパラレルチャージリサイクルを組み合わせたポンプ動作を行うことができる。ここで、ノードND1に注目すると、信号RAが活性化されると、トランジスタN43がオンとなり、ノードND1の電荷がノードND2に転送される。この後、信号RBが活性化されると、トランジスタN45がオンとなり、ノードND1の電荷がノードND3に転送される。さらに、信号RAが活性化されると、トランジスタN43がオンとなり、ノードND2からND1に電荷が転送される。この後、信号RCが活性化されると、トランジスタP21がオンし、ノードND1は電源電圧Vccに充電される。

【0081】このように、ノードND1の電荷はトランジスタN43、N45を介してノードND2、ND3にパラレルに転送されリサイクルされる。また、ノードND2の電荷もトランジスタN43、N46を介して、ノードND1、ND4にパラレルに転送されリサイクルされる。しかし、例えばノードND1の電荷をノードND4に直接転送することはなく、ノードND3及びトランジスタN44を介して転送される。すなわち、ノードND1の電荷はトランジスタN45を介してノードND3に転送され、さらにトランジスタN44を介してノードND4に転送される。したがって、ノードND1の電荷はシリアルな動作により転送される。この電荷の転送動

22

作はノードND1に注目したが、他のノードにおける電荷の転送動作もほぼ同様である。

【0082】上記動作により、ノードND1～ND4の電位はそれぞれ $1/2 V_{cc}$ となり、出力端から出力される昇圧電圧Vppは、 $1.5 V_{cc}$ となる。このように第6の実施例の場合、昇圧電圧Vppは第1乃至第4の実施例に比べるとそれ程高くはないが、パラレル動作により電荷をリサイクルできる。このため、従来のシリアルチャージリサイクルポンプ回路に比較して電流効率、及び電力効率を向上できる。

【0083】前述した図4において、特性曲線Fは、電源電圧Vcc=1.6Vにおける図13に示す回路の電力効率を示している。同図から明らかなように、昇圧電圧Vppが約2V～2.2Vの範囲において、図13に示すシリアルチャージリサイクルとパラレルチャージリサイクルを組み合わせた回路は、従来の2相又は4相シリアルチャージリサイクルポンプ回路や2相パラレルチャージリサイクルポンプ回路に比べて優れた電力効率を有することが分かる。

【0084】上記のように、第6の実施例によれば、シリアルチャージリサイクル動作とパラレルチャージリサイクル動作を組み合わせることにより、第1の実施例に比べて、簡単な構成により、昇圧電圧Vppが比較的低い範囲において、高い電力効率を得ることができる。

【0085】尚、第6の実施例に示す動作は、図13に示す回路に限定されるものではなく、例えば、図1に示す回路によっても実現できる。この場合、図1に示す回路において、図2に示す信号RB、RC2、RD1をローレベル固定とし、信号RA、RC1、RD2により制御すればよい。

【0086】また、図1、図8、図12に示すNチャネルMOSトランジスタN1～N16、及びN31～N38等の各ノードND1～ND4より左側に配置されたNチャネルMOSトランジスタを制御する信号の電位は、これらトランジスタの閾値電圧Vthによる転送電圧の低下を考慮した場合、電源電圧Vccより閾値電圧Vthだけ高いVcc+Vthであることが望ましい。

【0087】あるいはトランジスタN1～N16、及びN31～N38等の各ノードND1～ND4より左側に配置されたNチャネルMOSトランジスタは、トランジスタに限定されるものではなく、CMOSトランスファークロークとしてよい。この場合、これらトランスファークロークは、例えば信号RA、RB、RC1、RC2、RD1、RD2、ACTn、ACTp及びこれらの相補信号/RA、/RB、/RC1、/RC2、/RD1、/RD2、/ACTn、/ACTpにより制御される。このような構成としても、トランジスタの閾値電圧Vthによる転送電圧の低下を防止できる。

【0088】（第7の実施例）次に、本発明の第7の実施例について説明する。チャージリサイクルポンプ回路

23

は、相数を増加するほど高効率化できる。しかし、相数を増加すると、これに伴いキャパシタの数が増加する。また、ポンプ回路はキャパシタの容量が大きい程電流駆動能力を高くすることができる。LSIの内部でキャパシタを実現する方法として、MOSトランジスタを用いたゲートキャパシタやメタル配線を用いたキャパシタがある。これらを用いて大きな容量のキャパシタを実現使用とすると、LSIのチップサイズが増大する。LSIのチップサイズが増大すると、製造コストのみならず、歩留まりの低下等によりコストの増大がするという問題が生じる。そこで、この実施例では、ポンプ回路のキャパシタをチップ外部に設けている。

【0089】図15は、第7の実施例を示すものであり、図1に示す4相パラレルチャージリサイクルポンプ回路に本実施例を適用した場合を示している。すなわち、キャパシタC1～C4はチップCPの外部に設けられている。これらキャパシタC1～C4は、例えばチップ部品により構成されている。例えばポンプ回路がマルチチップの半導体装置に設けられている場合、前記キャパシタC1～C4は、複数のチップが搭載される印刷基板上に配置される。また、ポンプ回路が単一チップの半導体装置に設けられている場合、前記キャパシタC1～C4は、チップが収容されるパッケージの外部に配置されたリードに接続される。

【0090】前記キャパシタC1～C4の配置はこれらの例に限定されるものではなく、変形可能である。また、キャパシタの種類もLSIの使用電圧、使用環境、パッケージの体積等に応じて適宜選択すればよい。さらに、ポンプ回路の種類もこの実施例に限定されるものではない。

【0091】上記第7の実施例によれば、キャパシタをチップの外部に接続している。このため、大容量のキャパシタを使用する場合においても、チップサイズの増大を抑えることが可能であり、製造コストを低減できるとともに、歩留まりの向上を図ることが可能である。

【0092】(第8の実施例)次に、本発明の第8の実施例について説明する。本実施例では、パラレルチャージリサイクルポンプ回路を用いて、より高い電圧を発生する場合について説明する。フラッシュメモリ等のLSIでは、LSIの内部で電源電圧Vcc(例えば3.0V)よりも数倍高い電圧Vpp(例えば20V)を発生する必要がある。このような高電圧を発生する場合、周知のディクソントップ(Dickson type)のポンプ回路が使用されている。このディクソントップのポンプ回路は、電源端子と出力端の相互間に複数のダイオードが直列接続され、これらダイオードの各相互間にキャパシタの一端がそれぞれ接続され、これらキャパシタの他端に交互に信号が供給される構成とされている。このポンプ回路の出力電圧Vppは、キャパシタの数をmとすると、理想的には $V_{pp} = (m + 1) V_{cc}$ となる。本実施例は、ディ

24

クソントップのポンプ回路を複数個並列接続し、これらディクソントップのポンプ回路によりチャージをリサイクルすることにより高電圧を発生する。

【0093】図16は、第8の実施例を示している。電源電圧Vccが供給される電源端子81と出力端子82の相互間には、第1のポンプ回路83、第2のポンプ回路84が接続されている。第1のポンプ回路83において、電源端子81と出力端子82の相互間にはダイオードD11～D15が直列接続されている。これらダイオードD11～D15の各接続ノードにはキャパシタC11～C14の一端部が接続されている。これらキャパシタC11、C13の他端部には制御信号CS1が供給され、キャパシタC12、C14の他端部には制御信号CS4が供給されている。

【0094】また、第2のポンプ回路84において、電源端子81と出力端子82の相互間にはダイオードD21～D25が直列接続されている。これらダイオードD21～D25の各接続ノードにはキャパシタC21～C24の一端部が接続されている。これらキャパシタC21、C23の他端部には制御信号CS2が供給され、キャパシタC22、C24の他端部には制御信号CS3が供給されている。尚、第1、第2のポンプ回路83、84を構成するダイオード及びキャパシタの数は、図16に示す数に限定されない。

【0095】図17は、前記制御信号CS1～CS4を示している。これら制御信号CS1～CS4は、電源電圧Vccと接地電圧Vssの範囲において、電圧が階段状に変化する。また、例えばTaで示すタイミングにおいて、制御信号CS1が電源電圧Vcc、制御信号CS4は接地電圧Vssであり、制御信号CS2、CS3はともに電源電圧Vccと接地電圧Vssの中間電圧となっている。すなわち、制御信号CS1とCS4は互いに逆相である。制御信号CS2は制御信号CS1と位相が90°ずれている。また、制御信号CS3は制御信号CS4と位相が90°ずれている。これら制御信号CS1～CS4により第1、第2のポンプ回路83、84が駆動されることにより、電源電圧Vccが昇圧され、出力端子82から昇圧電圧Vppが出力される。

【0096】図18は、前記制御信号CS1～CS4を生成する生成回路85を示している。この生成回路85は図1に示す4相パラレルチャージリサイクルポンプ回路のノードND1～ND4の電圧を生成する回路と同一であり、図1と同一部分には同一符号を付す。図18に示す生成回路85は図2に示すタイミングで動作し、ノードND1～ND4から制御信号CS1～CS4がそれぞれ出力される。これら制御信号CS1～CS4により第1、第2のポンプ回路83、84が駆動されることにより、出力ノード82から昇圧電圧Vppが出力される。また、ノードND1～ND4の電荷が互いにリサイクルされる。

25

【0097】上記第8の実施例によれば、ディクソントタイプの第1、第2のポンプ回路83、84を並列接続し、これら第1、第2のポンプ回路83、84を生成回路85から供給される制御信号により駆動することにより、ディクソントタイプのポンプ回路を用いて4相平行チャージリサイクルポンプ回路を実現できる。したがって、所要の昇圧電圧を得るための電荷の利用効率、及び電流効率を向上できる。

【0098】(第9の実施例) 図19は、本発明の第9の実施例を示している。この実施例は、ディクソントタイプのポンプ回路を用いてシリアルにチャージをリサイクルするポンプ回路を示している。

【0099】図19に示すポンプ回路は、図16に示す第1のポンプ回路83と同様であり、制御信号のみが相違している。すなわち、キャパシタC11、C13には制御信号CS1が供給され、キャパシタC12、C14には制御信号CS2が供給されている。

【0100】図20は、上記制御信号CS1、CS2を生成する生成回路91を示している。この生成回路91において、電源端子92と第1の出力ノードND51の相互間にはNチャネルトランジスタN51が接続されている。また第2の出力ノードND52と接地間にはNチャネルトランジスタN52が接続されている。これらトランジスタN51、N52にゲートには信号RAが供給されている。前記第1、第2の出力ノードND51、ND52の相互間にはNチャネルトランジスタN53が接続されている。このトランジスタN53のゲートには、信号RBが供給されている。前記第1の出力ノードND51から制御信号CS1が出力され、第2の出力ノードND52から前記制御信号CS2が出力される。

【0101】図21は、図20の動作を示すものであり、信号RA、RBと制御信号CS1、CS2の関係を示している。このように、信号RA、RBに応じてトランジスタN51、N52、N53が制御されることにより、制御信号CS1、CS2が生成される。制御信号CS1は $V_{cc} \sim V_{cc}/2$ の電圧であり、制御信号CS2は $V_{ss}(0V) \sim V_{cc}/2$ の電圧である。これら制御信号CS1、CS2に応じてポンプ回路83が駆動されることにより、出力ノード82から昇圧電圧 V_{pp} が出力される。

【0102】また、これらトランジスタN51、N52、N53の動作に伴い第1の出力ノードND51の電荷が、第2の出力ノードND52にリサイクルされる。

【0103】上記第9の実施例によれば、1つのディクソントタイプのポンプ回路を用いてシリアルにチャージをリサイクルするポンプ回路を構成できる。したがって、所要の昇圧電圧を得るための電荷の利用効率、及び電流効率を向上できる。

【0104】(第10の実施例) 図22は、本発明の第10の実施例を示している。この実施例は複数のディク

26

ソントタイプのポンプ回路を用いてシリアルにチャージをリサイクルするポンプ回路を示している。

【0105】図22に示すポンプ回路は、図16に示す第1、第2のポンプ回路83、84と同様であり、制御信号のみが相違している。すなわち、キャパシタC11、C13には制御信号CS1が供給され、キャパシタC12、C14には制御信号CS3が供給される。また、キャパシタC21、C23には制御信号CS2が供給され、キャパシタC22、C24には制御信号CS4が供給される。

【0106】図23は、上記制御信号CS1～CS4を生成する生成回路を示している。この生成回路は図20に示す生成回路91に同様の構成の生成回路93を付加している。すなわち、生成回路93において、電源端子94と第4の出力ノードND54の相互間にはNチャネルトランジスタN54が接続されている。また第3の出力ノードND53と接地間にはNチャネルトランジスタN55が接続されている。これらトランジスタN54、N55にゲートには前記信号RAが供給されている。前記第3、第4の出力ノードND53、ND54の相互間にはNチャネルトランジスタN56が接続されている。このトランジスタN56のゲートには、前記信号RBが供給されている。前記第3の出力ノードND53から制御信号CS3が出力され、第4の出力ノードND54から前記制御信号CS4が出力される。

【0107】図24は、図23の動作を示すものであり、信号RA、RBと制御信号CS1～CS4の関係を示している。このように、信号RA、RBに応じてトランジスタN51～N56が制御されることにより、制御信号CS1～CS4が生成される。これらCS1～CS4により第1、第2のポンプ回路83、84が駆動されることにより、出力ノード82から昇圧電圧 V_{pp} が出力される。

【0108】また、これらトランジスタN51～N56の動作に伴い、第1の出力ノードND51の電荷が第2の出力ノードND52にリサイクルされ、第4の出力ノードND54の電荷が第3の出力ノードND53にリサイクルされる。

【0109】上記第10の実施例によれば、ディクソントタイプの第1、第2のポンプ回路83、84を用いてシリアルにチャージをリサイクルするポンプ回路を構成できる。したがって、この実施例によっても所要の昇圧電圧を得るための電荷の利用効率、及び電流効率を向上できる。

【0110】図25は、図23に示す生成回路の他の例を示しており、図25において、図23と同一部分には同一符号を付し、異なる部分についてのみ説明する。

【0111】図25において、生成回路93のトランジスタN54、N55のゲートには信号RBが供給され、トランジスタN56のゲートには信号RAが供給される。

27

また、第3の出力ノードND53からは制御信号CS4が出力され、第4の出力ノードND54からは制御信号CS3が出力される。

【0112】図26は、図25の動作を示すものであり、信号RA、RBと制御信号CS1～CS4の関係を示している。このように、信号RA、RBに応じてトランジスタN51～N56が制御されることにより、制御信号CS1～CS4が生成される。

【0113】このような構成としても、隣接するキャパシタに供給される制御信号の位相を逆相とすることができる。したがって、これら制御信号CS1～CS4に応じて所要の昇圧電圧Vppを発生することができる。

【0114】(第11の実施例)図27は、本発明の第11の実施例を示している。上記各実施例は、2相又は4相のポンプ回路、すなわち、偶数相のポンプ回路について説明した。これに対して、本実施例では、奇数相のポンプ回路について説明する。

【0115】図27は、3相パラレルチャージリサイクルポンプ回路の一例を示している。

【0116】図27において、ノードND61と電源電圧Vccが供給される端子との間にはノードND61を充電するためのNチャネルトランジスタN61が接続されている。ノードND62とノードND63の相互間には、ノードND62とノードND63との間で電荷を転送するNチャネルトランジスタN62が接続されている。これらトランジスタN61、N62のゲートには信号RC2が供給されている。

【0117】ノードND61とノードND63の相互間にはノードND61とノードND63との間で電荷を転送するNチャネルトランジスタN63が接続されている。ノードND62と接地間にはノードND62の電荷を放電するNチャネルトランジスタN64が接続されている。これらトランジスタN63、N64のゲートには信号RB2が供給されている。

【0118】ノードND61とノードND62の相互間にはノードND61とノードND62との間で電荷を転送するNチャネルトランジスタN65が接続されている。電源電圧Vccが供給される端子とノードND63の間にはノードND63を充電するためのNチャネルトランジスタN66が接続されている。これらトランジスタN65、N66のゲートには信号RA2が供給されている。

【0119】ノードND61と接地間にはノードND61の電荷を放電するためのNチャネルトランジスタN67が接続されている。ノードND62とノードND63の相互間にはノードND62とノードND63との間で電荷を転送するNチャネルトランジスタN68が接続されている。これらトランジスタN67、N68のゲートには信号RC1が供給されている。

【0120】ノードND61とノードND63の相互間

28

にはノードND61とノードND63との間で電荷を転送するNチャネルトランジスタN69が接続されている。電源電圧Vccが供給される端子とノードND62の間にはノードND62を充電するためのNチャネルトランジスタN70が接続されている。これらトランジスタN69、N70のゲートには信号RB1が供給されている。

【0121】ノードND61とノードND62の相互間には、これらノードND61とノードND62との間で電荷を転送するNチャネルトランジスタN71が接続されている。ノードND63と接地間には、ノードND63の電荷を放電するNチャネルトランジスタN72が接続されている。これらトランジスタN71、N72のゲートには信号RA1が供給されている。

【0122】上記ノードND61に注目すると、ノードND61の電荷はトランジスタN63、N65、N69、N71を介してノードND62、ND63に平行に転送可能とされている。他のノードND62、ND63についても、これらノードND62、ND63の電荷が他のノードに平行に転送可能とされている。

【0123】また、前記各ノードND61、ND62、ND63にはキャパシタC61、C62、C63の一端が接続されている。これらキャパシタC61、C62、C63の他端と電源電圧Vccが供給される端子の各相互間には、NチャネルトランジスタN73、N74、N75が接続されている。これらトランジスタN73、N74、N75のゲートにはそれぞれ信号P1、P2、P3が供給されている。

【0124】さらに、前記キャパシタC61、C62、C63の他端と昇圧電圧Vppが出力される出力端の各相互間には、NチャネルトランジスタN76、N77、N78が接続されている。これらトランジスタN76、N77、N78のゲートにはそれぞれ信号T1、T2、T3が供給されている。

【0125】図28は、前記信号RA1、RB1、RC1、RA1、RB2、RC2と、各ノードND61、ND62、ND63の電圧との関係を示している。信号RA1、RB1、RC1、RA1、RB2、RC2は、図28に示すように、順にオンとされる。

【0126】例えばノードND61に注目すると、信号RA1がハイレベルとなると、トランジスタN71、N72がオンとなり、ノードND61、ND62が短絡される。このため、ノードND61の電荷がノードND62に1/3 Vccだけ転送される。次に、信号RB1がハイレベルとなると、トランジスタN69がオンとなり、ノードND61とND63とが短絡され、ノードND61の電荷がノードND63に1/3 Vccだけ転送される。次に、信号RC1がハイレベルとなると、トランジスタN67がオンとなり、ノードND61の電荷が放電される。

29

【0127】この後、信号RA2がハイレベルとなると、トランジスタN65がオンとなり、ノードND61はノードND62と短絡され、ノードND62の電荷がノードND61に $1/3 V_{cc}$ だけ転送される。次に、信号RB2がハイレベルとされると、トランジスタN63がオンとなり、ノードND61はノードND63と短絡される。このため、ノードND63の電荷がノードND61に $1/3 V_{cc}$ だけ転送される。さらに、信号RC2がハイレベルとされると、トランジスタN61がオンとなり、ノードND61には電源から $1/3 V_{cc}$ だけ電荷が供給される。このようにして、ノードND61の電位は電源電圧 V_{cc} から接地電圧 V_{ss} 間をフルスイングする。同様の動作により、各ノードND62、ND63の電位も電源電圧 V_{cc} から接地電圧 V_{ss} 間をフルスイングする。

【0128】前記信号P1～P3は、各ノードND61～ND63が少なくとも接地電圧 V_{ss} のときそれぞれハイレベルとされる。このため、トランジスタN73、N74、N75を介して各キャパシタC61、C62、C63の他端が電源電圧 V_{cc} に充電される。また、前記信号T1～T3は、各ノードND61～ND63が少なくとも電源電圧 V_{cc} のときそれぞれハイレベルとされる。このため、各キャパシタC61、C62、C63の他端にカップリングにより上昇された電圧がトランジスタN76、N77、N78を介して出力される。このため、出力端子からは最大 $2 V_{cc}$ の昇圧電圧 V_{pp} が出力される。

【0129】上記第1の実施例によれば、各ノードの電荷を $1/3 V_{cc}$ ずつ他のノードにリサイクルすることにより、3相パラレルチャージリサイクルのポンプ回路を構成することができる。各ノードND61～ND63の電位は電源電圧 V_{cc} から接地電圧 V_{ss} 間をフルスイングし、しかも、電源から各ノードに供給する電流は $1/3 V_{cc}$ の電位に相当する分だけで済み、各ノードに充電された電荷 $2/3$ を利用することができる。したがって、所要の昇圧電圧を得るための電荷の利用効率、及び電流効率を向上できる。

【0130】尚、この実施例は3相の場合を例に説明したが、5相以上の奇数相とすることも可能である。

【0131】その他、本発明は上記実施例に限定されるものではなく、発明の要旨を変えない範囲で種々変形実施可能なことは勿論である。

【0132】

【発明の効果】以上、詳述したようにこの発明によれば、キャパシタのチャージカップリングノードに充電された電荷の有効利用を図り、電流効率を向上して所望の高電圧を得ることが可能なポンプ回路を提供できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す回路図。

【図2】図1の動作を示す波形図。

30

【図3】本発明と従来のポンプ回路の電流効率を示す図。

【図4】本発明と従来のポンプ回路の電力効率を示す図。

【図5】本発明の第2の実施例を示すものであり、図1に示す回路を4相シリアルチャージリサイクルポンプ回路として動作させる場合を示す波形図。

【図6】本発明の第2の実施例を示すものであり、図1に示す回路を4相パラレルチャージリサイクルポンプ回路と4相シリアルチャージリサイクルポンプ回路に切り換える切り換え回路を示す構成図。

【図7】本発明の第3の実施例を示すものであり、図1に示す4相パラレルチャージリサイクルポンプ回路を2相シリアルチャージリサイクルポンプ回路として動作させる場合を示す波形図。

【図8】本発明の第4の実施例を示す回路図。

【図9】図8に示す回路の電源投入時の動作を示す波形図。

【図10】本発明の第5の実施例を示すものであり、基板電圧を発生するポンプ回路の一例を示す回路図。

【図11】図10の動作を示す波形図。

【図12】本発明の第5の実施例を示すものであり、4相パラレルチャージリサイクルポンプ回路により V_{bb} ポンプ回路を構成した例を示す回路図。

【図13】本発明の第6の実施例を示すものであり、シリアルチャージリサイクルポンプ回路とパラレルチャージリサイクルポンプ回路を組み合わせたポンプ回路を示す回路図。

【図14】図13の動作を示す波形図。

【図15】本発明の第7の実施例を示す回路図。

【図16】本発明の第8の実施例を示すものであり、ディクソントップのポンプ回路を用いたパラレルチャージポンプ回路を示す回路図。

【図17】図16の制御信号の一例を示す波形図。

【図18】図17に示す制御信号の生成回路を示す回路図。

【図19】本発明の第9の実施例を示すものであり、ディクソントップのポンプ回路を用いたシリアルチャージポンプ回路を示す回路図。

【図20】図19に示す制御信号の生成回路を示す回路図。

【図21】図20の動作を示す波形図。

【図22】本発明の第10の実施例を示すものであり、ディクソントップのポンプ回路を用いたシリアルチャージポンプ回路を示す回路図。

【図23】図22に示す制御信号の生成回路を示す回路図。

【図24】図23の動作を示す波形図。

【図25】図23に示す生成回路の他の例を示す回路図。

31

【図26】図25の動作を示す波形図。

【図27】本発明の第11の実施例を示すものであり、奇数相のポンプ回路を示す回路図。

【図28】図28の動作を示す波形図。

【図29】従来のチャージポンプ回路の一例を示す回路図。

【図30】図29に示す回路の動作を示す波形図。

【図31】従来の2相のチャージリサイクルポンプ回路を示す回路図。

【図32】図31に示す回路の動作を示す波形図。

【図33】従来の4相チャージリサイクルポンプ回路を示す回路図。

【図34】図33に示す回路の動作を示す波形図。

【図35】従来の2相パラレルチャージリサイクルポンプ回路を示す回路図。

【図36】図35の動作を示す波形図。

【符号の説明】

ND1～ND4…チャージカップリングノード、

ND51～ND54…チャージカップリングノード、 *

32

*ND61～ND63…チャージカップリングノード、
N1～24、N31～N38…Nチャネルトランジスタ、

N51～N56…Nチャネルトランジスタ、

N61～N78…Nチャネルトランジスタ、

C1～C4…キャパシタ、

C11～C14、C21～C24…キャパシタ、

C61～C63…キャパシタ、

CP…チップ、

10 D11～D15、D21～D25…ダイオード、

Vpp…昇圧電圧、

Vcc…電源電圧、

Vss…接地電位、

Vbb…基板電圧、

61…ポンプ回路、

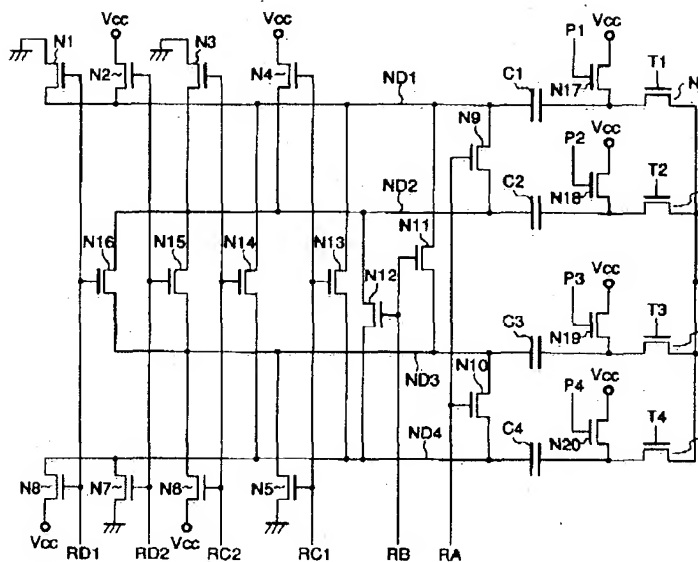
62…電圧検出器、

63…制御信号発生器、

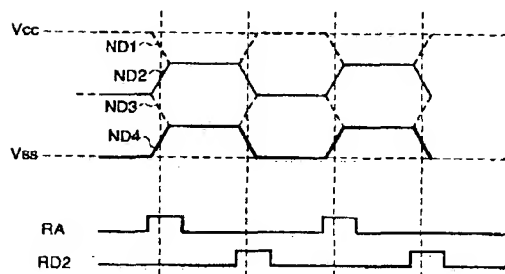
83、84…第1、第2のポンプ回路、

85、91、93…生成回路。

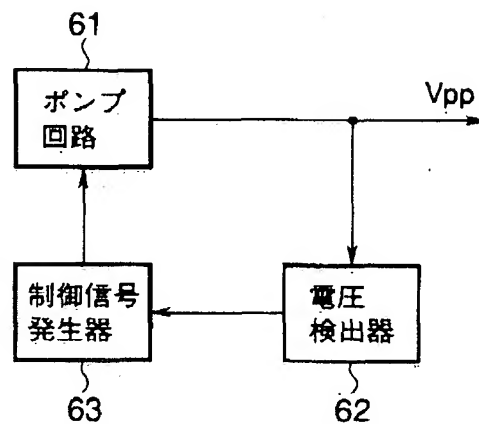
【図1】



【図5】

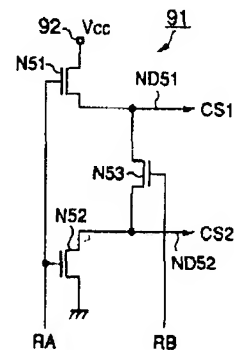
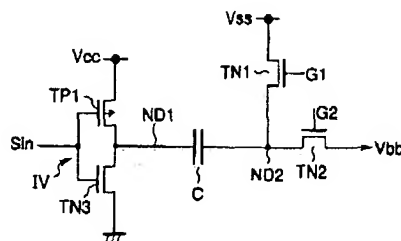


【図6】

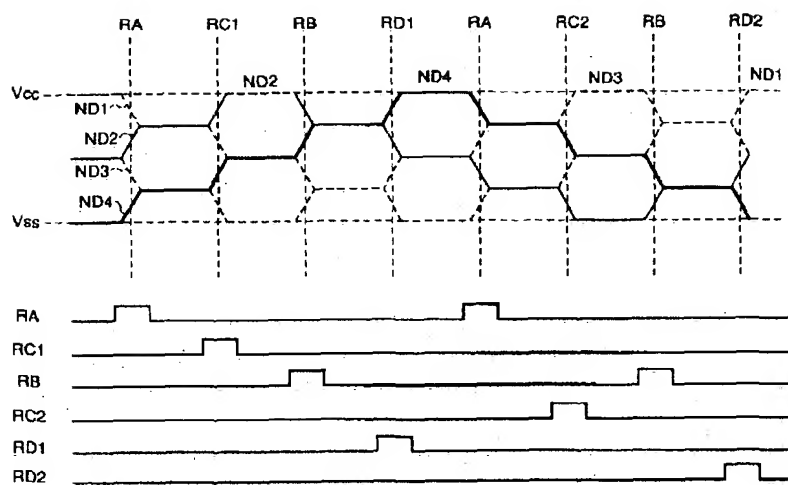


【図20】

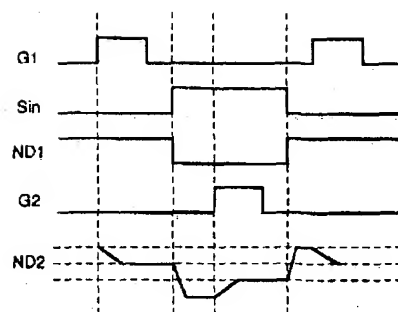
【図10】



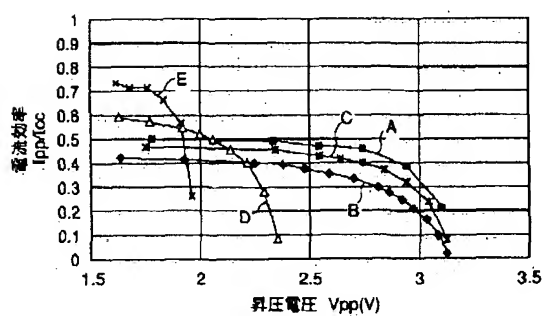
【図2】



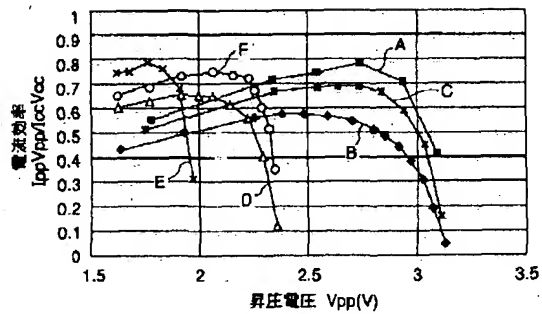
【図11】



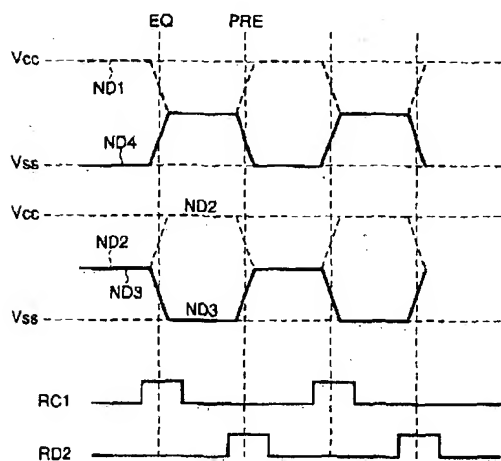
【図3】



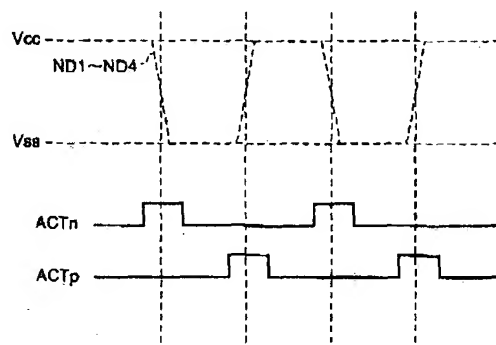
【図4】



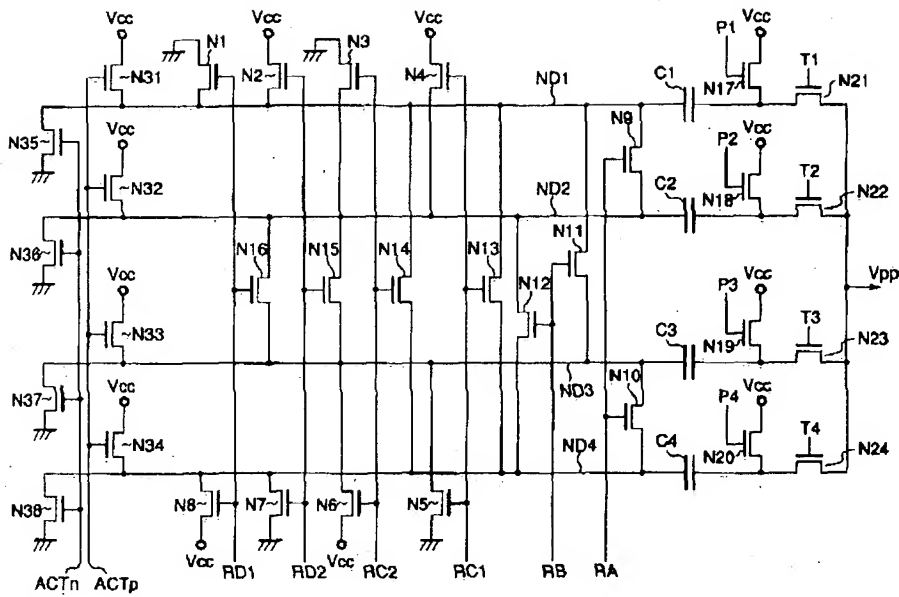
【図7】



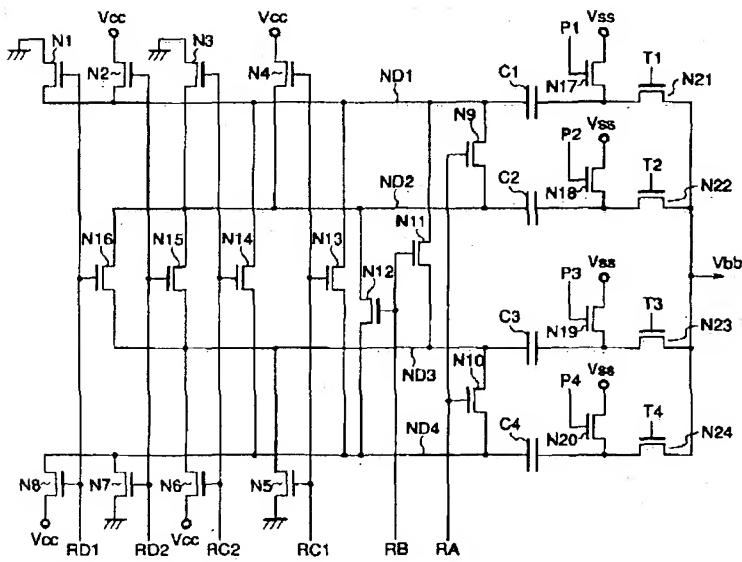
【図9】



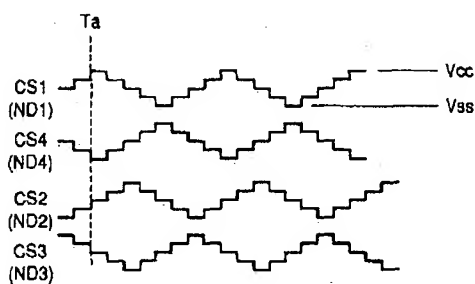
【図 8】



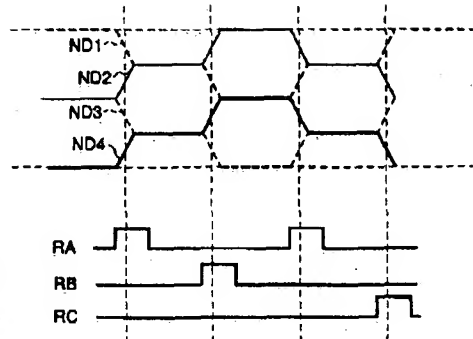
【図 12】



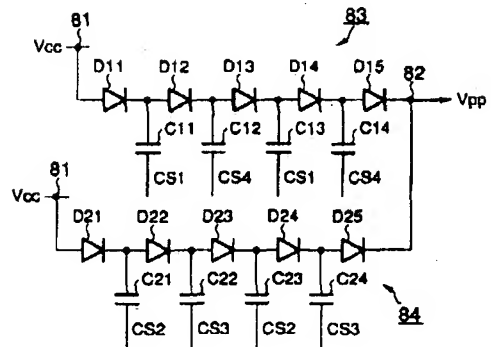
【図 17】



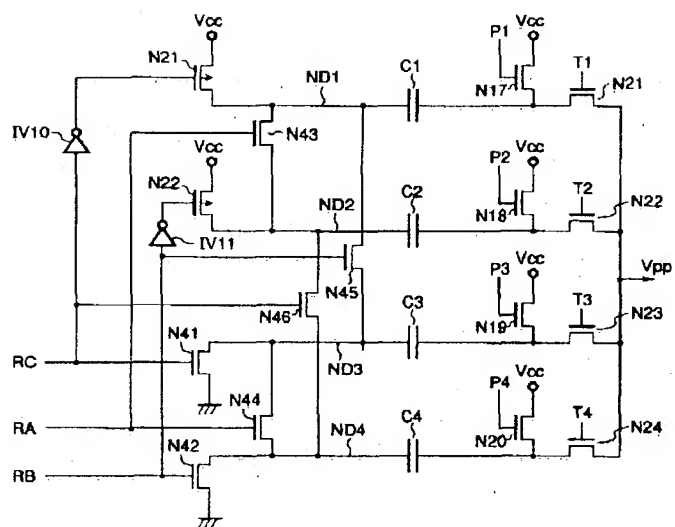
【図 14】



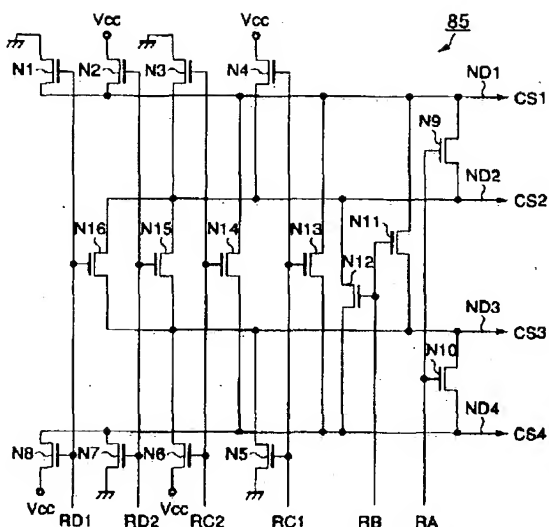
【図 16】



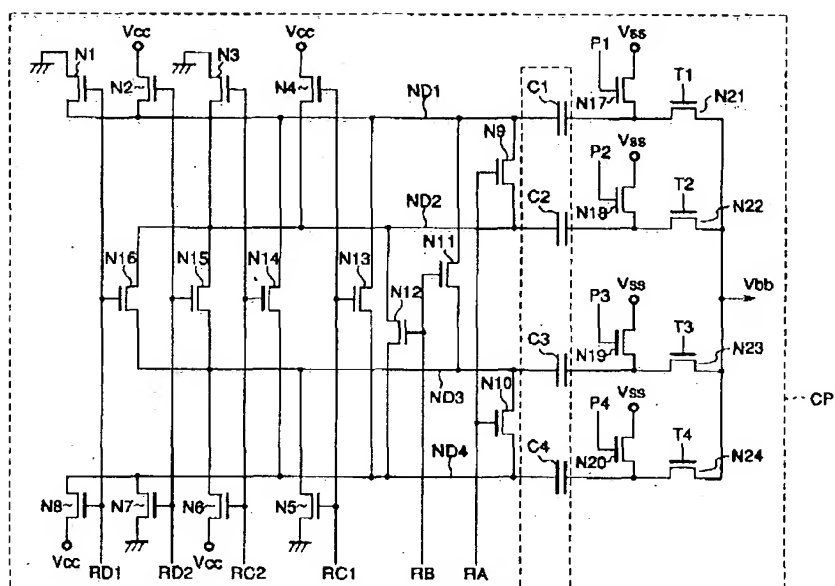
【図 13】



【図 18】

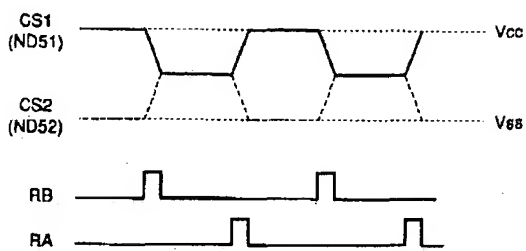
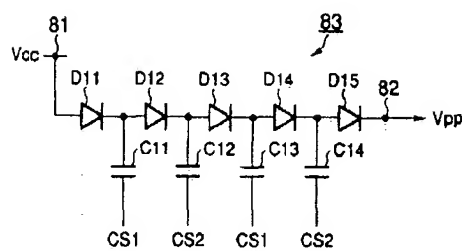


【図 15】

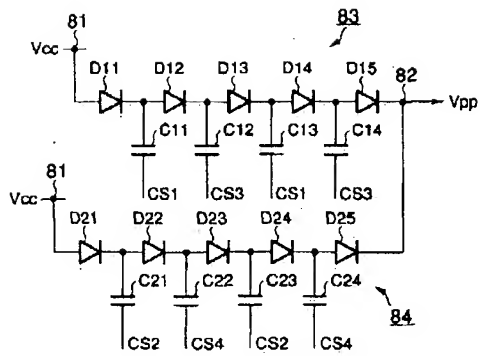


【図 19】

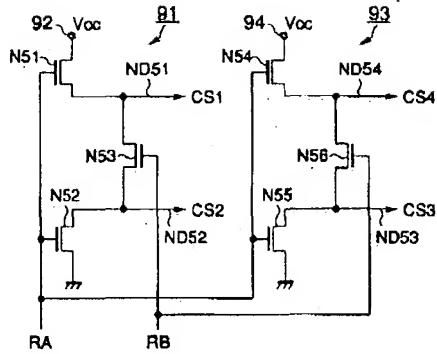
【図 21】



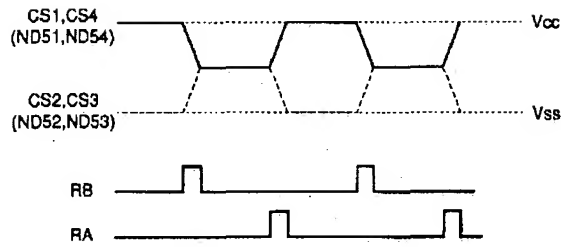
【図 22】



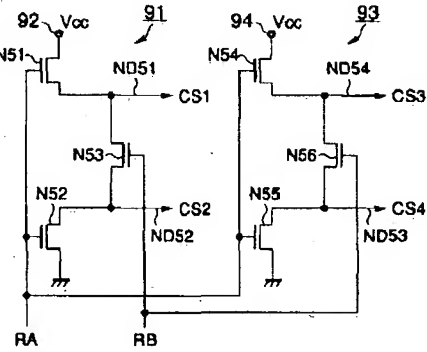
【図 23】



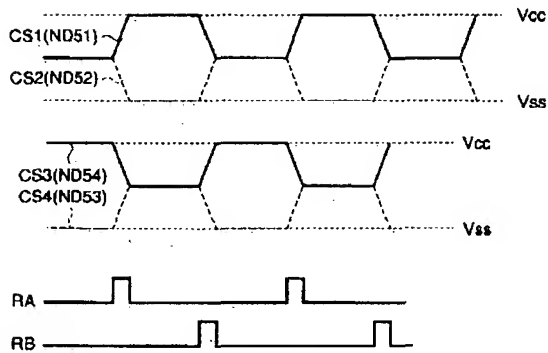
【図 24】



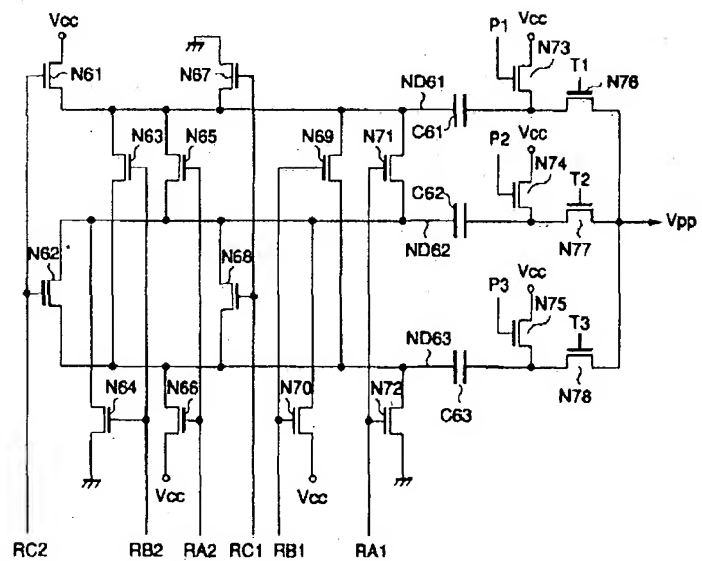
【図 25】



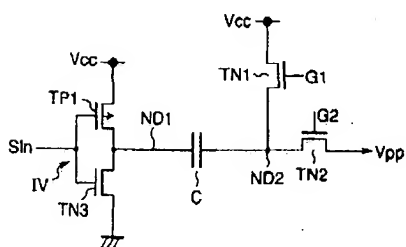
【図 26】



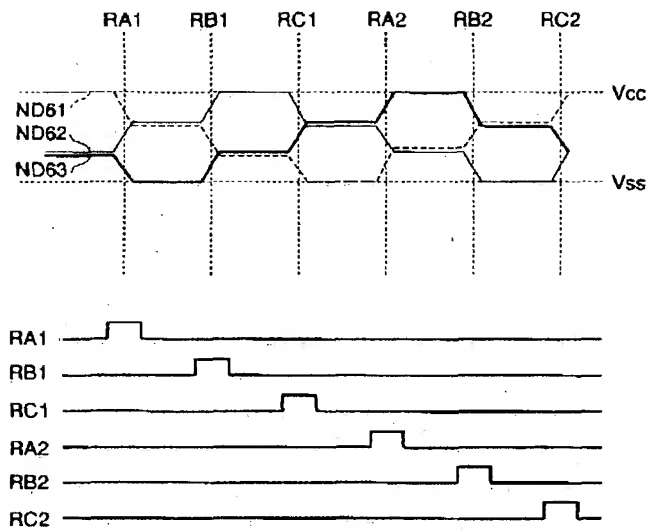
【図 27】



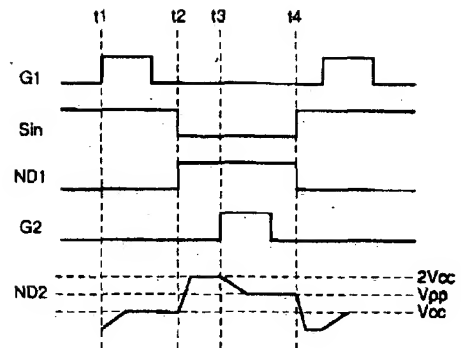
【図 29】



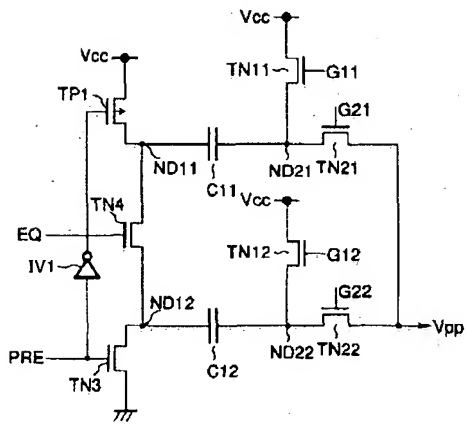
【図28】



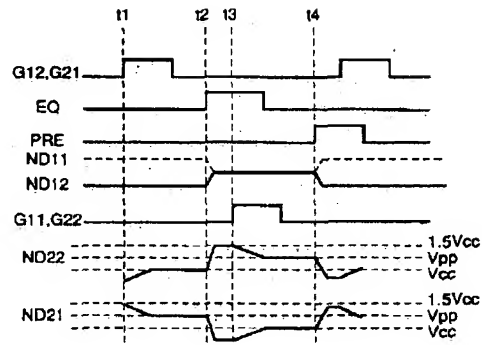
【図30】



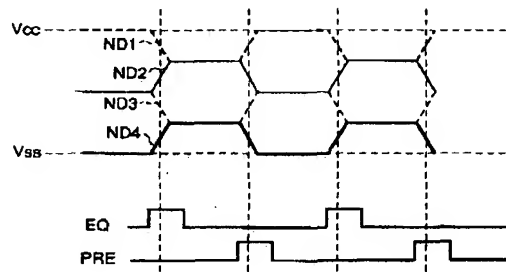
【図31】



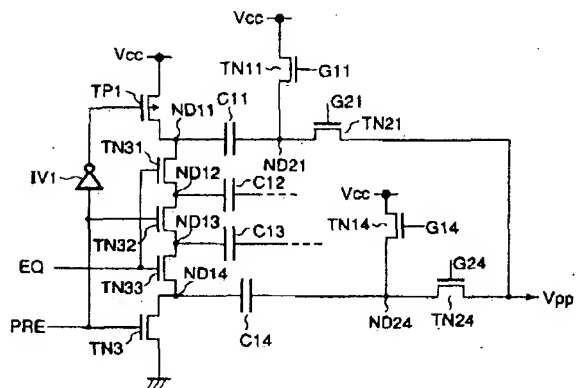
【図32】



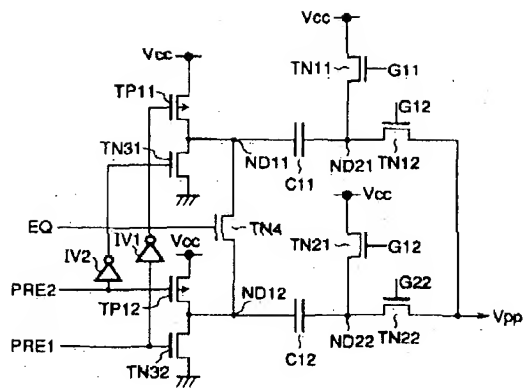
【図34】



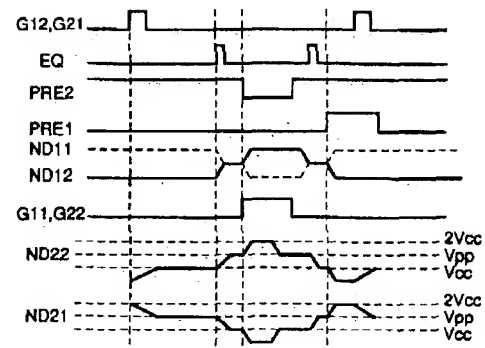
【図33】



【図 35】



【図 36】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

テーマコード (参考)

H 03 K 5/02

(72) 発明者 土田 賢二

神奈川県横浜市磯子区新杉田町 8 番地 株
式会社東芝横浜事業所内

(72) 発明者 番場 博則

神奈川県横浜市磯子区新杉田町 8 番地 株
式会社東芝横浜事業所内